

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-145134

(43)Date of publication of application : 28.05.1999

(51)Int.Cl. H01L 21/318
H01L 21/316
H01L 21/768

(21)Application number : 09-318975

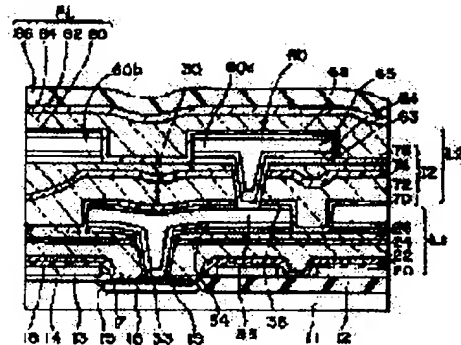
(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 05.11.1997

(72)Inventor : MOROZUMI YUKIO
ASAHI TAKENORI**(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF****(57)Abstract:**

PROBLEM TO BE SOLVED: To provide a semiconductor device with improved reliability and device characteristics having a protecting insulating film and manufacturing method thereof, by improving the flatness and reducing the interlayer capacity.

SOLUTION: A semiconductor comprises a semiconductor substrate 11, a plurality of wiring regions L1, L2 formed on the semiconductor substrate 11, and a protecting insulating film PL formed on the wiring region located in the uppermost layer from between the wiring regions L1, L2. The protecting insulating film PL comprises a first silicon oxide film 80, a second silicon oxide film 82 formed on the first silicon oxide film 80 and formed by polycondensation reaction between a silicon compound and hydrogen peroxide, and a silicon nitride film 86 constituting the uppermost layer.



Copyright (C); 1998,2000 Japan Patent Office

CLAIMS

[Claim(s)]

[Claim 1] The protection insulator layer formed on the wiring field located in the best layer of two or more wiring fields formed on the semiconductor substrate containing an element and the aforementioned semiconductor substrate and these wiring fields is included. The aforementioned protection insulator layer is a semiconductor device containing the 2nd silicon oxide which was formed on the 1st silicon oxide and the 1st silicon oxide of the above, and was formed of the polycondensation reaction of a silicon compound and a hydrogen peroxide, and the silicon nitride which constitutes the best layer.

[Claim 2] The semiconductor device which has the 3rd porous silicon oxide on the 2nd silicon oxide of the above further in a claim 1.

[Claim 3] The 1st silicon oxide of the above is a semiconductor device whose thickness is 50-500nm in a claim 1 or a claim 2.

[Claim 4] The 2nd silicon oxide of the above is a semiconductor device which has the thickness with which the concavo-convex best side where thickness is constituted in either a claim 1 or the claim 3 by the 1st silicon oxide of the above is covered.

[Claim 5] The aforementioned silicon nitride is a semiconductor device whose thickness is 300-1500nm in either a claim 1 or the claim 4.

[Claim 6] The process which is the manufacture method of the semiconductor device containing the protection insulator layer formed on the wiring field located in the best layer of two or more wiring fields formed on the semiconductor substrate containing an element and the aforementioned semiconductor substrate and these wiring fields, and forms the aforementioned protection insulator layer is the manufacture method of the semiconductor device which contains following process (a) - (d) at least.

(a) The process which at least one sort of a silicon compound and the compound containing oxygen and oxygen is made to react by the chemical-vapor-deposition method, and forms the 1st silicon oxide, the process which the (b) silicon compound and a hydrogen peroxide are made to react by the chemical-vapor-deposition method, and forms the 2nd silicon oxide, the process which performs annealing processing at (c)350-500 degree C temperature, and the process which forms (d) silicon nitride.

[Claim 7] The manufacture method of a semiconductor device including the process (c) which the compound containing at least one sort

and impurity of the compound containing a silicon compound, oxygen, and oxygen is made to react by the chemical-vapor-deposition method, and forms the 3rd porous silicon oxide after the aforementioned process (b) in a claim 6.

[Claim 8] the silicon compound used at the aforementioned process (b) in a claim 6 or a claim 7 -- a mono silane, a disilane, and SiH_2 -- the manufacture method of the semiconductor device which is at least one sort chosen from organic silane compounds, such as inorganic silane compounds, such as Cl_2 , SiF_4 , and CH_3SiH_3 , and a TORIPURO pill silane, and a tetrapod ethoxy silane

[Claim 9] The aforementioned process (b) is the manufacture method of the semiconductor device which the aforementioned silicon compound is an inorganic silane compound in either a claim 6 or the claim 8, and is performed by the reduced pressure chemical-vapor-deposition method under 0-20-degree C temperature conditions.

[Claim 10] The aforementioned process (b) is the manufacture method of the semiconductor device which the aforementioned silicon compound is an organic silane compound in either a claim 6 or the claim 8, and is performed by the reduced pressure chemical-vapor-deposition method under 100-150-degree C temperature conditions.

[Claim 11] It is the manufacture method of a semiconductor device that the aforementioned process (a) is performed by the plasma-chemistry vapor growth under 300-500-degree C temperature conditions in either a claim 6 or the claim 10.

[Claim 12] The silicon compound used at the aforementioned process (a) in either a claim 6 or the claim 11 is the manufacture method of the semiconductor device which is an organic silane compound.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention relates to the semiconductor device which has the protection insulator layer formed on the metal wiring which turned minutely below into the half micron, and its manufacture method about a semiconductor device and its manufacture method.

[0002]

[Background of the Invention] On the metal wiring layer of the best layer of the semiconductor device used for LSI etc., in order to prevent the invasion of a physical injury and contamination, or moisture, the protection insulator layer is formed.

Generally as a protection insulator layer, the silicon nitride which carried out the plasma vapor growth, for example at low temperature is used. Moreover, what has the laminated structure which formed the silicon oxide for stress relief in the lower layer of a silicon nitride as a protection insulator layer is used. It consists of the silicon oxide which was made to carry out the vapor growth of a mono silane, oxygen, or the dinitrogen oxide, and was formed as a protection insulator layer which has such a laminated structure, a PSG (phosphorus glass) film which doped Lynn to this or an SOG (spin ON glass) film, and a silicon nitride which was formed of the plasma chemistry vapor growth using a mono silane, ammonia, or nitrogen gas and whose thickness is about 1 micrometer.

[0003] This protection insulator layer uses a photoresist as a mask, and selective etching is carried out by dry etching or wet etching, and it has opening for constituting the bonding putt section for external electrode ejection.

[0004] By the way, in processing by etching of a metal wiring layer, when a semiconductor device turns minutely into below submicron one, since anisotropy dry etching is adopted, the side-attachment-wall section of a metal wiring layer has an almost perpendicular steep inclination. And the silicon oxide and silicon nitride which constitute a protection insulator layer are attached by the dregs ping, and since the surroundings are bad, a void is easy to be formed in the specific space of a metal wiring layer. The portion of this void serves as a contamination trap. Moreover, in the corner of the side-attachment-wall section of a metal wiring layer, and a slot, since a silicon nitride becomes [the thickness] very thin compared with a flat part, moisture and contamination tend to invade from a portion with this thin thickness, and there is a problem in respect of reliability over a long period of time.

[0005] Furthermore, in order to raise the working speed of a device, reduction of the capacity between layers is needed, and at the former, it is ***** about cautions to the capacity between layers between a metal wiring layer, a substrate, or the wiring layer of the vertical direction. However, with the structure of a protection insulator layer where contribution of a lateral capacity between layers becomes large by detailed-ization of a wiring space, therefore a silicon nitride with a high dielectric constant exists between the spaces between metal wiring in the same layer, a lateral capacity between layers has not ignored the point on electrical properties,

such as a working speed.

[0006]

[Problem(s) to be Solved by the Invention] The purpose of this invention is to offer the semiconductor device which has the protection insulator layer which can contribute to improvement in reliability and a device property by the improvement of flat nature, and reduction of the capacity between layers, and its manufacture method.

[0007]

[Means for Solving the Problem] The manufacture method of the semiconductor device of this invention is the manufacture method of the semiconductor device containing the protection insulator layer formed on the wiring field located in the best layer of two or more wiring fields formed on the semiconductor substrate containing an element, and the aforementioned semiconductor substrate, and these wiring fields, and the process which forms the aforementioned protection insulator layer contains following process (a) - (d) at least.

[0008] (a) The process which at least one sort of a silicon compound and the compound containing oxygen and oxygen is made to react by the chemical-vapor-deposition method, and forms the 1st silicon oxide, the process which the (b) silicon compound and a hydrogen peroxide are made to react by the chemical-vapor-deposition method, and forms the 2nd silicon oxide, the process which performs annealing processing at (c) 350-500 degree C temperature, the process which forms (d) silicon nitride.

[0009] According to the manufacture method of this semiconductor device, the layer which was excellent in flat nature can be formed at low temperature by making a silicon compound and a hydrogen peroxide react by the chemical-vapor-deposition method, and forming the 2nd silicon oxide according to a process (b). That is, the 2nd silicon oxide formed at this process (b) has the self-flattening property of having a high fluidity and having excelled in itself. If the mechanism makes a silicon compound and a hydrogen peroxide react by the chemical-vapor-deposition method, it will be considered to be because for a silanol to be formed into a gaseous phase, and for a fluid good film to be formed when this silanol deposits on a wafer front face.

[0010] For example, when a mono silane is used as a silicon compound, a silanol is formed at the reaction shown by the following formula (1), (1)', etc.

[0011] Formula (1)

$\text{SiH}_4 + 2\text{H}_2\text{O}_2 \rightarrow \text{Si}(\text{OH})_4 + 2\text{H}_2$ formula (1) The silanol formed by ' $\text{SiH}_4 + 3\text{H}_2\text{O}_2 \rightarrow \text{Si}(\text{OH})_4 + 2\text{H}_2\text{O} + \text{H}_2$ ' and the formula (1), and (1)' serves as a silicon oxide, when water ****s at the polycondensation reaction shown by the following formula (2).

[0012] Formula (2)

$\text{Si}(\text{OH})_4 \rightarrow$ as the $\text{SiO}_2 + 2\text{H}_2\text{O}$ aforementioned silicon compound -- a mono silane, a disilane, and SiH_2 -- organic silane compounds, such as inorganic silane compounds, such as Cl_2 , SiF_4 , and CH_3SiH_3 , and a TORIPURO pill silane, and a tetrapod ethoxy silane, etc. can be illustrated

[0013] Moreover, under 0-20-degree C temperature conditions, when the aforementioned silicon compound is an inorganic silicon compound, when the aforementioned silicon compound is an organic silicon compound, it is desirable [the membrane formation process of the aforementioned process (b)] to be carried out by the reduced pressure chemical-vapor-deposition method under 100-150-degree C temperature conditions. If temperature is higher than the aforementioned upper limit, when the polycondensation reaction of the aforementioned formula (2) progresses too much, the 1st silicon oxidization membrane fluidity will become low, and good flat nature will be hard to be obtained at this membrane formation process. Moreover, there is un-arranging [to which adsorption of a low and the decomposition moisture within a chamber and dew condensation out of a chamber occur, and it becomes difficult from the aforementioned lower limit for membrane formation equipment to control temperature].

[0014] As for the 2nd silicon oxide formed at the aforementioned process (b), it is desirable to be formed by the thickness of the grade which can fully cover the level difference of a wafer substrate front face, i.e., sufficient thickness to cover the best side of the irregularity constituted by the 1st silicon oxide located under this 2nd silicon oxide. The thickness of the 2nd silicon oxide is 500-1000nm preferably, although the lower limit is dependent on the height of the irregularity of the 1st silicon oxide under the 2nd silicon oxide. When the thickness of the 2nd silicon oxide exceeds the aforementioned upper limit, a crack may be produced for the stress of the film itself.

[0015] In this invention, before the aforementioned process (b), at least one sort of a silicon compound and the compound containing oxygen and oxygen is made to react by the chemical-vapor-deposition method, and the 1st silicon oxide used as a base layer is formed. This base layer has from it the passivation function

which neither moisture nor an excessive impurity moves from the 2nd silicon oxide of the above, and the function which raises the adhesion of the 2nd silicon oxide in a lower layer.

[0016] It is desirable to include the process (e) which the compound containing at least one sort and impurity of the compound containing a silicon compound, oxygen, and oxygen is made to react by the chemical-vapor-deposition method, and forms the 3rd porous silicon oxide on the 2nd silicon oxide of the above after the aforementioned process (b).

[0017] This 3rd silicon oxide is porosity and it not only functions as a cap layer, but can emit gradually outside the gas constituents generated from the 2nd silicon oxide in annealing processing of a next process (c). Furthermore, in addition to being porosity, this 3rd silicon oxide can ease the stress of this film by weakening the bonding strength between Si-O molecules of impurities, such as Lynn and boron, and the silicon oxide which constitutes this film by adding Lynn preferably on this film, and can constitute the layer which cannot break soft further easily moderately so to speak. The concentration of the impurity contained in the 3rd silicon oxide is 1-6 % of the weight preferably, when the point of the stress relaxation of the film mentioned above is taken into consideration.

[0018] Moreover, since the 3rd silicon oxide has the compression stress of 100-600MPa, in case the 2nd silicon oxide carries out a polycondensation, it has the function to prevent that **** stress increases and a crack enters. Furthermore, the 3rd silicon oxide also has the function to prevent moisture absorption of the 2nd silicon oxide.

[0019] As for the aforementioned process (e), it is desirable to be carried out under 300-450-degree C temperature conditions by the plasma-chemistry vapor growth by the RF 1MHz or less. By forming membranes on this temperature condition, it becomes easy to escape by the annealing initial stage by annealing of a process (c) from gas constituents, and the reliability of a device improves.

[0020] Moreover, as for the compound containing oxygen used at the aforementioned process (e), it is desirable that it is a dinitrogen oxide (N_2O). Since the dinitrogen oxide of the plasma state tends to react by using a dinitrogen oxide as reactant gas with the hydrogen bond (-H) of the silicon compound which constitutes the 2nd silicon oxide, while forming the 3rd silicon oxide, desorption of the gasification component (hydrogen, water) of the 2nd silicon oxide can be promoted.

[0021] The aforementioned process (e) may be performed by the ordinary-pressure chemical-vapor-deposition method under 300-500-degree C temperature conditions instead of a plasma-chemistry vapor growth. In this case, as for the compound containing the aforementioned oxygen used at the aforementioned process (e), it is desirable that it is ozone.

[0022] Furthermore, before forming the 2nd silicon oxide of the above at the aforementioned process (e), it is desirable to expose the 2nd silicon oxide of the above to ozone atmosphere. Since ozone tends to react by passing through this process with the hydrogen bond (-H) of a silicon compound and the hydroxyl group (-OH) which constitute the 2nd silicon oxide, the hydrogen in the 2nd silicon oxide and desorption of water can be promoted.

[0023] Moreover, the thickness of the 3rd silicon oxide is 100nm or more preferably, when the point of flat nature and a crack is taken into consideration.

[0024] At the aforementioned process (e), by performing annealing processing at the temperature of 350-500 degrees C, the 2nd and 3rd silicon oxides formed by the aforementioned process (b) and (e) turn precisely, and its moisture resistance improves in an insulating row.

[0025] That is, if it sees about the 2nd silicon oxide, in the early stages of this annealing processing, the polycondensation reaction by the formula (2) mentioned above will be completed, water and hydrogen which are produced with this reaction will be emitted outside through the hole of the 3rd silicon oxide, and the 2nd silicon oxide will be precisely formed, where a gasification component is fully removed. Moreover, the 3rd silicon oxide turns into a precise film from porosity by annealing processing.

[0026] In this annealing processing, the 2nd and 3rd silicon oxides can be made precise enough by making temperature into 350 degrees C or more. Moreover, if an annealing temperature is performed at the temperature exceeding 500 degrees C, the metal wiring layer which consists of a metal or alloys, such as aluminum, will become easy to receive a heat damage.

[0027] Moreover, by forming the 3rd porous silicon oxide on the 2nd silicon oxide Even if there is a rapid temperature change in annealing processing at a process (c) like [at the time of putting a wafer directly on the bottom of the temperature of 350-500 degrees C], in order for the 3rd silicon oxide of the above to have moderate softness and to control discharge of rapid moisture, Annealing

processing can be performed without producing a crack in this 2nd silicon oxide, since the stress of the 2nd silicon oxide is absorbable.

[0028] furthermore, annealing processing of the aforementioned process (c) -- continuing -- a process (d) -- a chemical-vapor-deposition method -- a silicon nitride is preferably formed by the plasma-chemistry vapor growth This silicon nitride has 300-1500nm thickness preferably, when moisture resistance and resistance to contamination are taken into consideration.

[0029] In the manufacture method concerning this invention, flattening is fully attained by the 1st silicon oxide and the 2nd silicon oxide. Consequently, the silicon nitride of the best layer is attached, the surroundings are good, there are few the portions and the defects which thickness is thin, locally, and moisture resistance and resistance to contamination can aim at improvement in the reliability as a protective coat highly.

[0030] The semiconductor device formed by the above manufacture method The protection insulator layer formed on the wiring field located in the best layer of two or more wiring fields formed on the semiconductor substrate containing an element and the aforementioned semiconductor substrate and these wiring fields is included. The aforementioned protection insulator layer contains the 2nd silicon oxide which was formed on the 1st silicon oxide and the 1st silicon oxide of the above, and was formed of the polycondensation reaction of a silicon compound and a hydrogen peroxide, and the silicon nitride which constitutes the best layer.

[0031] Since according to this semiconductor device the mutual space of the wiring layer which it not only has reliability high as a protection insulator layer, but adjoins in the metal wiring layer of the best layer is filled up with the low silicon oxide of a dielectric constant as mentioned above, the influence of a silicon nitride with a high dielectric constant can be small, and can improve a working speed compared with the conventional structure.

[0032] As for the silicon oxide which the silicon compound and hydrogen peroxide which are formed at the aforementioned process (b) and the same process are made to react by the chemical-vapor-deposition method, and is obtained, in this invention, it is desirable to apply also to the flattening layer of the mutual layer insulation film of a metal wiring layer at the layer insulation film formed on the semiconductor substrate containing elements, such as a MOS device, and a row.

[0033]

[Embodiments of the Invention] Drawing 1 · drawing 5 are the outline cross sections for explaining the manufacture method of the semiconductor device concerning this invention, and the form of 1 operation of a semiconductor device. Drawing 1 (A) · (C) and drawing 2 (A), and (B) show the process for drawing 3 (A), (B) and drawing 4 (A), and (B) manufacturing the wiring field L2 of the 2nd layer, and drawing 5 manufacturing the protection insulator layer of multilayer structure for the wiring field L1 of the 1st layer.

[0034] Below, an example of the manufacture method of a semiconductor device is shown.

[0035] (A) Explain the process shown in drawing 1 (A).

[0036] (Formation of an element) The MOS device is formed in a silicon substrate 11 by the method generally used first. Specifically, the field insulator layer 12 is formed of selective oxidation on a silicon substrate 11, and the gate oxide film 13 is formed in an active field. The gate electrode 14 is formed by carrying out the sputter of the tungsten silicide on the polysilicon contact film into which SiH₄ was pyrolyzed and was grown up, carrying out the laminating of the silicon oxide 18 further, and *****ing to a predetermined pattern further by channel pouring, after adjusting threshold voltage. At this time, the wiring layer 37 which consists of a polysilicon contact film and a tungsten silicide film is formed on the field insulator layer 12 if needed.

[0037] Subsequently, the low concentration impurity layer 15 of a source field or a drain field is formed by carrying out the ion implantation of As . Subsequently, after the side-attachment-wall spacer 17 which becomes the side of the gate electrode 14 from a silicon oxide is formed, the high concentration impurity layer 16 of a source field or a drain field is formed by carrying out the ion implantation of the arsenic and activating an impurity by annealing processing using the halogen lamp.

[0038] Next, a predetermined silicon-substrate field is exposed by forming a vapor-growth silicon oxide 100nm or less, and *****ing this film alternatively with the mixed-water solution of HF and NH_4F . then ·· for example, the silicon-substrate front face which carried out opening by carrying out the sputter of the titanium by about 30-100nm thickness, and performing moment annealing for several seconds · about 60 seconds at the temperature of 650-750 degrees C into the nitrogen atmosphere which controlled oxygen to 50 ppm or less ·· the

monochrome silicide layer of titanium ·· a silicon-oxide 18 top ·· titanium ·· a rich titanium nitride (TiN) layer is formed Subsequently, if immersed into NH_4OH and the mixed-water solution of H_2O_2 , etching removal of the aforementioned titanium nitride layer will be carried out, and the monochrome silicide layer of titanium will remain only in a silicon-substrate front face. Furthermore, perform 750-850-degree C lamp annealing, the aforementioned monochrome silicide layer is made to form into die silicide, and the titanium silicide layer 19 is formed in the front face of the high concentration impurity layer 16 at a self-adjustment target.

[0039] In addition, when the gate electrode 14 is formed only with contact polysilicon and it is made to expose by selective etching, both a gate electrode, source, and drain field become the CHITANSARI side structure separated with the side-attachment-wall spacer.

[0040] In addition, the Silicide structure may consist of tungsten silicide and molybdenum silicide instead of titanium silicide.

[0041] (B) Next, explain the process shown in drawing 1 (B).

[0042] (Formation of the 1st layer insulation film I1) The 1st layer insulation film I1 consists of the 1st silicon oxide 20, the 2nd silicon oxide 22, the 3rd silicon oxide 24, and the 4th silicon oxide 26 in order of the silicon oxide of four layers, i.e., a lower shell.

[0043] a. **** of the 1st silicon oxide 20 ·· the 1st silicon oxide 20 of 100-200nm of thickness is first formed by making a tetrapod ethoxy run (TEOS) and oxygen react by the plasma-chemistry vapor-growth (CVD) method at 300-500 degrees C This silicon oxide 20 does not have oxidation or the dregs ping of the silicide layer 19, either, and highly [insulation], its etch rate to the solution of hydrogen fluoride is also slow, and it turns into a precise film from the film grown up from SiH₄.

[0044] Since an oxidizing gas and titanium silicide will tend to produce a crack and exfoliation simply in response to the early stages of membrane formation here if the membrane formation temperature at this time is high although the direct silicon oxide 20 is made to form on the titanium silicide layer 19, as for processing temperature, it is preferably desirable to carry out at 250-400 degrees C more preferably 600 degrees C or less. And if it is annealing and vapor-phase-oxidation processing which are exposed to oxidizing atmospheres other than a steam after [which the silicon oxide mentioned above in about 100nm thickness on the titanium silicide layer 19] being comparatively formed at

low temperature, it will not become a problem even if it raises temperature to 900-degree-C grade.

[0045] b. Form the 2.5x10²Pa or less of the 2nd silicon oxide 22 preferably formation of the 2nd silicon oxide 22, next by making SiH₄ and H₂O₂ react by CVD by using nitrogen gas as a carrier more preferably under reduced pressure of 0.3x10² to 2.0x10²Pa. The 2nd silicon oxide 22 is formed by the thickness which has larger thickness than the level difference of the 1st lower layer silicon oxide 20 at least, that is, fully covers this level difference. Moreover, the upper limit of the thickness of the 2nd silicon oxide 22 is set as the grade which a crack does not produce in this film. Specifically, in order to obtain better flat nature, as for the thickness of the 2nd silicon oxide 22, it is desirable that it is thicker than a lower layer level difference, and it is preferably set as 300-1000nm.

[0046] Since it participates in the fluidity at the time of membrane formation of this film, membrane fluidity will fall if membrane formation temperature is high, and the membrane formation temperature of the 2nd silicon oxide 22 spoils flat nature, 0-20 degrees C of temperature at the time of membrane formation are more preferably set as 0-10 degrees C.

[0047] Moreover, although especially the flow rate of H₂O₂ is not restricted, it is desirable that it is a flow rate more than the double precision of SiH₄, and it is desirable to be set as the flow rate range of 100 - 1000SCCM by gas conversion from membranous homogeneity and the point of a throughput.

[0048] The 2nd silicon oxide 22 formed at this process is in the state of silanol polymer, and a fluidity is good and has a high self-flattening property. Moreover, since many hydroxyl groups (-OH) are included, the 2nd silicon oxide 22 has hygroscopicity in a high state.

[0049] c. Put under existence of formation of the 3rd silicon oxide 24 next SiH₄ and PH₃, and N₂O, and it is at the temperature of 300-450 degrees C. By making gas react by the plasma CVD method by 200-600kHz high frequency, the PSG film (the 3rd silicon oxide) 24 of 100-600nm of thickness is formed. As for this 3rd silicon oxide 24, it is desirable to be formed after being saved in the atmosphere in which the hygroscopicity of the 2nd silicon oxide 22 of the above is continuously formed in in consideration of a high thing following formation of the 2nd silicon oxide 22 of the above, or the 2nd silicon oxide 22 does not contain moisture.

[0050] Moreover, the 3rd silicon oxide 24 needs

that desorption of gasification components, such as water contained in the 2nd silicon oxide 22 of the above by the annealing processing performed behind and hydrogen, is easy, and to be porous (porosity) in consideration of fully being carried out. For that purpose, temperature is desirable and it is preferably [more] desirable [the 3rd silicon oxide 24] 1MHz or less preferably to form membranes by the 200-600kHz plasma CVD method more preferably, and to include impurities, such as Lynn, 300-400 degrees C 450 degrees C or less. By containing such an impurity in the 3rd silicon oxide 24, it will be in a more nearly porous state and the 3rd silicon oxide 24 not only can ease the stress to a film, but can have the gettering effect over alkali ion etc. with it. The concentration of such an impurity is set up in consideration of points, such as the gettering effect. For example, when an impurity is Lynn, it is desirable to be contained at 2 - 6% of the weight of a rate.

[0051] Moreover, in plasma CVD, desorption of the hydrogen bond in the 2nd silicon oxide 22 is promoted by using N₂O as a compound containing oxygen. Consequently, gasification components, such as moisture contained in the 2nd silicon oxide 22 and hydrogen, can be removed more certainly.

[0052] In consideration of the role which adjusts the thickness of the layer insulation film needed, and the function by which N₂O plasma is desorbed from hydrogen bond, 100nm or more of thickness of this 3rd silicon oxide 24 is more preferably set as 100-600nm.

[0053] d. Perform annealing processing at the temperature of 600-850 degrees C in annealing processing, next nitrogen atmosphere. By this annealing processing, the 2nd silicon oxide 22 of the above and the 3rd silicon oxide 24 turn precisely, and have good insulation and good water resistance. That is, by setting an annealing temperature as 600 degrees C or more, the condensation polymerization reaction of the silanol in the 2nd silicon oxide 22 is performed nearly completely, and the water and hydrogen which are contained in this film are fully emitted, and can form a precise film. Moreover, by setting an annealing temperature as 850 degrees C or less, it cannot have bad influences, such as a punch through and junction leak, on the diffusion layer of the source field which constitutes an MOS transistor, or a drain field, and detailed-ization of an element can be attained.

[0054] In annealing processing, in order to make small influence of a heat strain to the 2nd silicon oxide 22, it is desirable to perform run ping

annealing which raises the temperature of a wafer gradually or continuously. For example, when carrying out a temperature up to an annealing temperature (600-850 degrees C) after keeping a wafer warm at about 400 degrees C, high impurity concentration of the 3rd silicon oxide 24 can be made quite low. For example, when an impurity is Lynn, the gettering effect of mobile ion is set aside and the concentration of Lynn is checking that a crack does not arise in the 2nd silicon oxide 22 at least 2 or less % of the weight.

[0055] e. Form the 4th silicon oxide 26 of 1000-1500nm of thickness by the plasma CVD method at 350-400 degrees C using formation, next the 4th TEOS and oxygen of a silicon oxide 26.

[0056] Even when not performing annealing, the silicon oxide of the TEOS-oxygen using the plasma CVD method is of the same grade as the 2nd silicon oxide 22 of the above which carried out elevated-temperature annealing, and the 3rd silicon oxide 24, or has a somewhat quick dry etching speed. This becomes the factor which obtains the contact hole of a good configuration, without producing the vena contracta and a level difference on the hole side in formation of the contact hole mentioned later.

[0057] (C) Next, explain the process shown in drawing 1 (C).

[0058] (Smoothing by CMP) Subsequently, the 4th silicon oxide 26 of the above, and if needed, by the chemical machinery-grinding (CMP) method, predetermined thickness is ground and the 3rd silicon oxide 24 of the above and the 2nd silicon oxide 22 are smoothed. And the 2nd silicon oxide 22 of the above, the 3rd silicon oxide 24, and the 4th silicon oxide 26 can obtain a flat front face, though a part of 3rd silicon oxide 24 or 2nd silicon oxide 22 is exposed to a front face with polish, since polish speed is almost the same, therefore management of the amount of polishes is easy for them.

[0059] For example, according to research of this invention persons, the polish speed of each silicon oxide was as follows.

[0060]

The 2nd silicon oxide (800 degrees C of annealing temperatures) A part for:250nm/ The 3rd silicon oxide (800 degrees C of annealing temperatures) A part for:250nm/ The 4th silicon oxide (with no annealing) ; a part for 250nm/ BPSG film [for comparison] (900 degrees C of annealing temperatures); -- the process shown in 350nm a part (D) for /next and drawing 2 (A) is explained -- subsequently (formation of a contact hole) The contact hole 32 whose aperture is 0.2-0.5 micrometers is formed by carrying out anisotropic

etching of the silicon oxides 20, 22, 24, and 26 which constitute the 1st layer insulation film 11 from a reactant ion etcher which made CHF3 and CF4 the main gas alternatively.

[0061] This contact hole 32 constitutes the shape of a taper to which aperture becomes small linearly toward a pars basilaris ossis occipitalis from the upper-limit section. Although the angle theta of a taper cannot generally be ***** (ed) according to etching conditions etc., it has five · 15 inclinations, for example. As a reason the through hole of the shape of such a taper is obtained, silicon oxides 20, 22, 24, and 26 have the fundamental almost same etch rate, and the interface of each silicon oxide is [1st] further that the 2nd silicon oxide 22 has a slightly small etch rate compared with the 3rd silicon oxide 24, and the 2nd to have stuck very good. Within the contact hole 32 of the shape of such a taper, good deposition of an aluminum film is possible so that it may mention later.

[0062] The dry etching speed of each silicon oxide which invention in this application persons measured below is indicated. In addition, dry etching was performed on condition that power:800W, atmospheric pressure:20Pa, and etchant gas:CF4:CHF3:helium=1:2:9.

[0063]

The 2nd silicon oxide (800 degrees C of annealing temperatures) A part for:525nm/ The 3rd silicon oxide (800 degrees C of annealing temperatures) A part for:550nm/ The 4th silicon oxide (with no annealing) A part for:565nm/ The BPSG film for comparison (900 degrees C of annealing temperatures); the process shown in 750nm a part (E) for /next and drawing 2 (B) is explained.

[0064] (Degasifying processing) ***** which includes a degasifying process first -- it ***** just.

[0065] By the lamp chamber, lamp heating for 30 · 60 seconds (heat treatment A) is given at the base pressure of 1.5×10^{-4} or less Pa, and the temperature of 150-250 degrees C. Subsequently, degasifying processing is performed by introducing argon gas by another chamber by the pressure of 1×10^{-1} to 15×10^{-1} Pa, and performing heat treatment for 30 · 120 seconds (degasifying process; heat treatment B) at the temperature of 150-550 degrees C.

[0066] In this process, the moisture adhering to the wafer etc. is removable by mainly heat-treating the whole wafer including the rear face and the side of a wafer in heat treatment A first.

[0067] Furthermore, in heat treatment B, the gasification component in the 2nd silicon oxide 22 which constitutes the 1st layer insulation film 11

(H, H₂O) is mainly removable. Consequently, generating of the gasification component from the 1st layer insulation film I1 can be prevented at the time of formation of the barrier layer of the following process, and an aluminum film.

[0068] The barrier layer 33 is constituted in the gestalt of this operation by the multilayer which consists of a barrier film which has barrier ability, and an electric conduction film. An electric conduction film is formed between a barrier film and an impurity diffusion layer, in order to raise conductivity with the impurity diffusion layer formed in the barrier film and the silicon substrate, i.e., a source field, and a drain field. As a barrier film, the common matter, for example, titanium nitride (TiN) and a titanium tungsten, can be used preferably. Moreover, refractory metals, such as titanium, cobalt, and a tungsten, can be used as an electric conduction film. These titanium, cobalt, and a tungsten react with the silicon which constitutes a substrate, and serve as silicide.

[0069] Since it dissolves the gasification component (O, H, H₂O, N) of dozens atom %, before a barrier layer, for example, a TiN film / Ti film, forms these films, it is very effective [film] to remove the gasification component in the 1st layer insulation film I1, when forming the aluminum film within a contact hole good. If the gasification component in the 1st [of the low rank of a barrier layer] layer insulation film I1 is not fully removed, at the temperature at the time of formation of a barrier layer (usually 300 degrees C or more), the gasification component in the 1st layer insulation film I1 will be emitted, and this gas will be incorporated in a barrier layer. Furthermore, in order that this gas may secede from a barrier layer at the time of membrane formation of an aluminum film and may come out to the interface of a barrier layer and an aluminum film, it has a bad influence on the adhesion of an aluminum film, or a fluidity.

[0070] (Membrane formation of a barrier layer) By the sputter, as an electric conduction film which constitutes the barrier layer 33, a titanium film is formed by 20-70nm thickness, and, subsequently a TiN film is formed as a barrier film by another chamber at 30-150nm thickness. The temperature of a sputter is chosen in 200-450 degrees C according to thickness.

[0071] Next, titanium oxide can be formed in the shape of an island into a barrier layer by exposing for 10 - 100 seconds into oxygen plasma by the pressure of 0.1x10² to 1.5x10²Pa, and carrying out annealing processing over 10 - 60 minutes in 450-700-degree C nitrogen or hydrogen

atmosphere. It is checking that the barrier nature of a barrier layer can be raised by this processing.

[0072] Moreover, 400-800-degree C heat treatment in the lamp annealing furnace which contains hundreds of ppm - several% of oxygen at least can also perform this annealing processing, and the barrier nature of a barrier layer can be raised similarly.

[0073] In addition, although illustration is not carried out, it is the purpose which raises the wettability to the aluminum film mentioned later, and the WETTENGU layer which consists of titanium, cobalt, silicon, etc. may be formed in the front face of the barrier layer 33. The 1st aluminum membrane fluidity can be raised by preparing such a WETTENGU layer. There should just usually be thickness dozens of nm or more of a WETTENGU layer.

[0074] (Degasifying processing before membrane formation of an aluminum film, and cooling of a wafer) First, before cooling a wafer, heat treatment for 30 - 60 seconds (heat treatment C) is performed in a lamp chamber at the base pressure of 1.5x10⁻⁴ or less Pa, and the temperature of 150-250 degrees C, and matter, such as water adhering to the substrate, is removed. Then, before forming an aluminum film, 100 degrees C or less of substrate temperature are preferably lowered to ordinary temperature -50 degree C temperature. This cooling process is important in order to lower the substrate temperature which rose with the above-mentioned heat treatment C, for example, on the stage which has a water-cooled function, lays a wafer and lowers this wafer temperature to predetermined temperature.

[0075] Thus, in case the 1st aluminum film is formed by cooling a wafer, the 1st layer insulation film I1 and the barrier layer 33, and capacity further emitted from the whole wafer surface can be lessened as much as possible. Consequently, the influence of gas detrimental to the coverage nature and adhesion which stick to the interface of the barrier layer 33 and the 1st aluminum film 34 can be prevented.

[0076] (Membrane formation of an aluminum film) First, it is 30-100 degrees C in temperature more preferably, and the aluminum containing 0.2 - 1.0% of the weight of copper is formed at high speed by the sputter by 150-300nm of thickness, and 200 degrees C or less of 1st aluminum film 34 are formed. Then, it heats in substrate temperature of 420-460 degrees C within the same chamber, the aluminum which contains copper similarly is formed by the low speed by the sputter, and the 2nd aluminum film 35 of 300-600nm of thickness is formed. Here, in membrane formation

of an aluminum film, although neither membrane formation conditions nor the design matter of a device manufactured can prescribe "high speed" generally, a sputtering rate 10nm [/second] or more is meant about, and a "low speed" means a sputtering rate 3nm [/second] or less about.

[0077] An example of the sputtering system for forming the 1st and 2nd aluminum films 34 and 35 to drawing 6 is shown. This sputtering system has the electrode 52 which serves both as the target 51 which serves as an electrode in a chamber 50, and a stage, and it is constituted so that the substrate (wafer) W processed may be installed on an electrode 52. The 1st gas supply way 53 is connected to a chamber 50, and the 2nd gas supply way 54 is connected to the electrode 52. Argon gas is supplied from [each] the gas supply ways 53 and 54. And the temperature of Wafer W is controlled by the gas supplied from the 2nd gas supply way 54. In addition, the means for discharging the gas in a chamber 50 is not illustrated.

[0078] An example which controlled substrate temperature using such a sputtering system is shown in drawing 7. In drawing 7, a horizontal axis shows elapsed time and a vertical axis shows substrate (wafer) temperature. Moreover, in drawing 7, the line which the line shown with Sign a shows the substrate temperature change when setting the temperature of the stage 52 of a sputtering system as 350 degrees C, and is shown with Sign b shows change of the substrate temperature when raising the temperature of a stage 52 by supplying hot argon gas in a chamber through the 2nd gas supply way 54.

[0079] For example, the temperature control of a substrate is performed as follows. First, the temperature of a stage 52 is beforehand set as the temperature (350-500 degrees C) for forming the 2nd aluminum film. In case the 1st aluminum film is formed, there is no supply of the gas from the 2nd gas supply way 54, and substrate temperature rises gradually by heating by the stage 52, as the sign a of drawing 7 shows. By supplying the gas heated through the 2nd gas supply way 54, in case the 2nd aluminum film is formed, substrate temperature rises rapidly and is controlled to become fixed at predetermined temperature so that the sign b of drawing 7 shows.

[0080] In the example shown in drawing 7, stage temperature is set as 350 degrees C, while substrate temperature is set as 125-150 degrees C, the 1st aluminum film 34 is formed, and membrane formation of the 2nd aluminum film 35 is performed immediately after that.

[0081] In membrane formation of an aluminum

film, control of the power impressed to a sputtering system with membrane formation speed and a substrate temperature control is also important. That is, although membrane formation speed is related, in case membrane formation of the 1st aluminum film 34 is performed by high power, the 2nd aluminum film 35 is performed by low power and it switches to low power from still higher power, it is important not to make power into zero. If power is made into zero, an oxide film will be formed in the bottom of reduced pressure on the front face of the 1st aluminum film, the wettability of the 2nd [to the 1st aluminum film] aluminum film will fall, and both adhesion will become bad. In other words, by always impressing power, supplying activity aluminum to the front face of the aluminum film under membrane formation can be continued, and formation of an oxide film can be suppressed. In addition, although the size of power cannot generally be specified depending on a sputtering system, membrane formation conditions, etc., in the case of the temperature conditions shown, for example in drawing 7, it is desirable [a size] to set 5-10kW and low power as 300W-1kW for high power.

[0082] Thus, by forming continuously the 1st aluminum film 34 and the 2nd aluminum film 35 within the same chamber, control of temperature and power can be performed strictly and it becomes possible to form efficiently the aluminum film which is low temperature and was stabilized rather than before.

[0083] The thickness of the aluminum film 34 of the above 1st has desirable 200-400nm, for example, although the proper range is chosen from that a continuation layer can be formed and this aluminum film 34 by good step coverage in consideration of the ability to suppress discharge of the gasification component from the lower layer barrier layer 33 and the 1st layer insulation film 11. Moreover, although the 2nd aluminum film 35 is determined by the size of a contact hole, its aspect ratio, etc., in order for an aspect ratio to fill a hole 0.5 micrometers or less about by three, for example, 300-1000nm thickness is required for it.

[0084] (Membrane formation of an antireflection film) The antireflection film 36 of 30-80nm of thickness is formed by depositing TiN by the spatter by still more nearly another spatter chamber. Then, the deposit which consists of the aforementioned barrier layer 33, the 1st aluminum film 34, the 2nd aluminum film 35, and an antireflection film 36 by the anisotropy dry etcher which makes the gas of Cl₂ and BCl₃ a subject is *****ed alternatively, and

patterning of the 1st metal wiring layer 30 is performed.

[0085] Thus, in the formed metal wiring layer 30, it was checked that aluminum is embedded by good step coverage, without an aspect ratio generating a void in 0.5-3 in the contact hole whose aperture is 0.2-0.8 micrometers.

[0086] (F) Next, explain the process shown in drawing 3 (A).

[0087] (Formation of the 2nd layer insulation film I2) The 2nd layer insulation film I2 has the same composition as the layer insulation film I1 of the above 1st fundamentally. That is, the 2nd layer insulation film I2 consists of the 1st silicon oxide 70, the 2nd silicon oxide 72, the 3rd silicon oxide 74, and the 4th silicon oxide 76 in order of the silicon oxide of four layers, i.e., a lower shell. And these silicon oxides 70, 72, 74, and 76 are formed by the same method as the aforementioned silicon oxides 20, 22, 24, and 26 except annealing processing. Although main portions are explained below, a publication is omitted about a common matter.

[0088] a. **** of the 1st silicon oxide 70 -- the 1st silicon oxide 70 of 50-200nm of thickness is first formed by making a tetrapod ethoxy run (TEOS) and oxygen react by the plasma-chemistry vapor-growth (CVD) method at 300-500 degrees C.

[0089] b. Form the 2.5x10²Pa or less of the 2nd silicon oxide 72 preferably formation of the 2nd silicon oxide 72, next by making SiH₄ and H₂O₂ react by CVD at the temperature of 0-10 degrees C by using nitrogen gas as a carrier more preferably under reduced pressure of 0.3x10² to 2.0x10²Pa. The 2nd silicon oxide 72 is formed by the thickness which has larger thickness than the level difference of the 1st lower layer silicon oxide 70 at least, that is, fully covers this level difference like the 2nd silicon oxide 22 of the above. Moreover, the upper limit of the thickness of the 2nd silicon oxide 72 is set as the grade which a crack does not produce in this film. Specifically, in order to obtain better flat nature, as for the thickness of the 2nd silicon oxide 72, it is desirable that it is thicker than a lower layer level difference, and it is preferably set as 500-1000nm.

[0090] 0-20 degrees C of membrane formation temperature of the 2nd silicon oxide 72 are more preferably set as 0-10 degrees C.

[0091] The 2nd silicon oxide 72 formed at this process has a high fluidity, and is excellent in a flattening property.

[0092] c. The PSG film (the 3rd silicon oxide) 74 of 100-600nm of thickness is formed by making it react to the bottom of existence of formation of the 3rd silicon oxide 74 next SiH₄ and PH₃, and N₂O

by the plasma CVD method at the temperature of 300-450 degrees C at 200-600kHz high frequency.

[0093] Moreover, the 3rd silicon oxide 74 needs that desorption of gasification components, such as water contained in the 2nd silicon oxide 72 of the above like the 3rd silicon oxide 24 of the above by the annealing processing performed behind, is easy, and to be porous (porosity) in consideration of fully being carried out. For that purpose, temperature is desirable and it is preferably [more] desirable [the 3rd silicon oxide 74] 1MHz or less preferably to form membranes by the 200-600kHz RF plasma CVD method more preferably, and to contain impurities, such as Lynn, 300-400 degrees C 450 degrees C or less. By containing such an impurity in the 3rd silicon oxide 74, the 3rd silicon oxide 74 will be in a more nearly porous state, and can ease the stress to a film. The concentration of such an impurity is set up in consideration of points, such as stress-proof nature and the gettering effect. For example, when an impurity is Lynn, it is desirable to be contained at 1-6% of the weight of a rate.

[0094] Moreover, in plasma CVD, desorption of the hydrogen bond in the 2nd silicon oxide 72 is promoted by using N₂O as a compound containing oxygen. Consequently, gasification components, such as moisture contained in the 2nd silicon oxide 72, can be removed more certainly.

[0095] 100nm or more of thickness of this 3rd silicon oxide 74 is more preferably set as 200-600nm.

[0096] d. Perform annealing processing at annealing processing, next the temperature of 350-500 degrees C. By this annealing processing, the 2nd silicon oxide 72 of the above and the 3rd silicon oxide 74 turn precisely, and have good insulation and good water resistance. That is, by setting an annealing temperature as 350 degrees C or more, the condensation polymerization reaction of the silanol in the 2nd silicon oxide 72 is performed nearly completely, and the moisture contained in this film is fully emitted, and can form a precise film. Moreover, it does not have a bad influence on the aluminum film which constitutes the 1st wiring layer 40 by setting an annealing temperature as 500 degrees C or less.

[0097] e. Form the 4th silicon oxide 76 of 1000-1500nm of thickness by the plasma CVD method at 350-400 degrees C using formation, next the 4th TEOS and oxygen of a silicon oxide 76.

[0098] (G) Next, explain the process shown in drawing 3 (B).

[0099] (Smoothing by CMP) The 3rd silicon oxide 74 of the above and the 2nd silicon oxide 72 are ground and smoothed by predetermined thickness

by the CMP method the 4th silicon oxide 76 of the above, and if needed. By this data smoothing, though a part of 3rd silicon oxide 74 or 2nd silicon oxide 72 is exposed to a front face with polish, a flat front face can be obtained, therefore management of the amount of polishes is easy.

[0100] (H) Next, explain the process shown in drawing 4 (A).

[0101] (Formation of a beer hall) By carrying out anisotropic etching of the 2nd layer insulation film 12 and antireflection film 36 alternatively by the reactant ion etcher which made CHF₃ and CF₄ the main gas, the beer hall 62 whose aperture is 0.3-0.5 micrometers is formed.

[0102] This beer hall 62 constitutes the shape of a taper to which aperture becomes small gradually toward a pars basilaris ossis occipitalis from the upper-limit section like the aforementioned contact hole 32. Although the angle theta of a taper cannot generally be ***** (ed) according to etching conditions etc., it has five · 15 inclinations, for example.

[0103] (I) Next, the process shown in drawing 4 (B) is explained.

[0104] (Degasifying processing) ***** which includes a degasifying process first .. it ***** just

[0105] By the lamp chamber, lamp heating for 30 · 60 seconds (heat treatment D) is given at the base pressure of 1.5×10^{-4} or less Pa, and the temperature of 150-250 degrees C. Subsequently, degasifying processing is performed by introducing argon gas by another chamber by the pressure of 1×10^{-1} to 15×10^{-1} Pa, and performing heat treatment for 30 · 120 seconds (degasifying process; heat treatment E) at the temperature of 300-500 degrees C.

[0106] In this process, the moisture adhering to the wafer etc. is removable by mainly heat-treating the whole wafer including the rear face and the side of a wafer in heat treatment D first.

[0107] Furthermore, in heat treatment E, the gasification component in the 2nd layer insulation film 12 (H, H₂O) is mainly removable. Consequently, generating of the gasification component from the 2nd layer insulation film 12 can be prevented at the time of formation of the WETTENGU layer of the following process, and an aluminum film.

[0108] In the gestalt of this operation, since it dissolves the gasification component (O, H, H₂O, N) of dozens atom %, before a WETTENGU layer, for example, Ti film, forms this film, it is very effective [film] to remove the gasification component in the 2nd layer insulation film 12, when forming the aluminum film in a beer hall

good. If the gasification component in the 2nd [of the low rank of a WETTENGU layer] layer insulation film 12 is not fully removed, the gasification component in the 2nd layer insulation film 12 will be emitted at the time of formation of a WETTENGU layer, and this gas will be incorporated in a WETTENGU layer at it. Furthermore, in order that this gas may secede from a WETTENGU layer at the time of membrane formation of an aluminum film and may come out to the interface of a WETTENGU layer and an aluminum film, it has a bad influence on the adhesion of an aluminum film, or a fluidity. [0109] (Membrane formation of a WETTENGU layer) By the spatter, a titanium film is formed by 20-70nm thickness as a film which constitutes the WETTENGU layer 63. 100 degrees C or less of temperature of a spatter are 25 degrees C or less more preferably.

[0110] (Cooling of the wafer before membrane formation of an aluminum film) Before forming an aluminum film, 100 degrees C or less of substrate temperature are preferably lowered to ordinary temperature · 50 degree C temperature. This cooling process is important in order to lower the substrate temperature which rose by the spatter of the WETTENGU layer 63, for example, on the stage which has a water-cooled function, lays a wafer and lowers this wafer temperature to predetermined temperature.

[0111] Thus, in case the 1st aluminum film is formed by cooling a wafer, the 2nd layer insulation film 12 and the WETTENGU layer 63, and capacity further emitted from the whole wafer surface can be lessened as much as possible. Consequently, the influence of gas detrimental to the coverage nature and adhesion which stick to the interface of the WETTENGU layer 63 and the 1st aluminum film 64 can be prevented.

[0112] (Membrane formation of an aluminum film) First, it is 30-100 degrees C in temperature more preferably, and the aluminum containing 0.2 · 1.0% of the weight of copper is formed at high speed by the spatter by 150-300nm of thickness, and 200 degrees C or less of 1st aluminum film 64 are formed. Then, it heats in substrate temperature of 420-460 degrees C within the same chamber, the aluminum which contains copper similarly is formed by the low speed by the spatter, and the 2nd aluminum film 65 of 300-600nm of thickness is formed.

[0113] The thing same as a sputtering system as the equipment shown in drawing 6 can be used. About the composition of the aforementioned sputtering system, the temperature control of a wafer, and the power at the time of a spatter, since

it is the same as that of the case of the 1st metal wiring layer 30, detailed explanation is omitted.

[0114] By forming continuously the 1st aluminum film 64 and the 2nd aluminum film 65 within the same chamber, control of temperature and power can be performed strictly and it becomes possible to form efficiently the aluminum film which is low temperature and was stabilized rather than before.

[0115] The thickness of the aluminum film 64 of the above 1st has desirable 100-300nm, for example, although the proper range is chosen from that a continuation layer can be formed and this aluminum film 64 by good step coverage in consideration of the ability to suppress discharge of the gasification component from the lower layer WETTENGU layer 63 and the 2nd layer insulation film 12. Moreover, although the 2nd aluminum film 65 is determined by the size of a beer hall 62, its aspect ratio, etc., in order for an aspect ratio to fill a hole 0.5 micrometers or less about by three, for example, 300-800nm thickness is required for it.

[0116] (Membrane formation of an antireflection film) The antireflection film 66 of 30-80nm of thickness is formed by depositing TiN by the sputter by still more nearly another sputter chamber. Then, the deposit which consists of the aforementioned WETTENGU layer 63, the 1st aluminum film 64, the 2nd aluminum film 65, and an antireflection film 66 by the anisotropy dry etcher which makes the gas of Cl_2 and BCl_3 a subject is *****ed alternatively, and patterning of the 2nd metal wiring layer 60 is performed.

[0117] Thus, in the formed metal wiring layer 60, it was checked that aluminum is embedded by good step coverage, without an aspect ratio generating a void in 0.5-3 in the beer hall whose aperture is 0.2-0.8 micrometers.

[0118] Henceforth, it is the 3rd and the 4th like the 2nd wiring field L2 if needed. -- A multilayer-interconnection field can be formed.

[0119] (J) Next, explain the process shown in drawing 5.

[0120] (Formation of the protection insulator layer PL) The protection insulator layer PL consists of the 1st silicon oxide 80, the 2nd silicon oxide 82 and the 3rd silicon oxide 84, and a silicon nitride 86 in order of the silicon oxide of three layers, i.e., a lower shell. And these silicon oxides 80, 82, and 84 are formed by the same method as the aforementioned silicon oxides 20, 22, and 24 except annealing processing. Although main portions are explained below, a publication is omitted about a common matter. Moreover, the silicon oxide which does not include Lynn is

sufficient as the 3rd silicon oxide 84.

[0121] a. **** of the 1st silicon oxide 80 -- the 1st silicon oxide 80 of 50-500nm of thickness is first formed by making a tetrapod ethoxy run (TEOS) and oxygen react by the plasma chemistry vapor-growth (CVD) method at 300-500 degrees C. [0122] b. Form the 2.5×10^2 Pa or less of the 2nd silicon oxide 82 preferably formation of the 2nd silicon oxide 82, next by making SiH_4 and H_2O_2 react by CVD at the temperature of 0-10 degrees C by using nitrogen gas as a carrier more preferably under reduced pressure of 0.3×10^2 to 2.0×10^2 Pa. The 2nd silicon oxide 82 is formed by the thickness which has larger thickness than the level difference of the 1st lower layer silicon oxide 80 at least, that is, fully covers this level difference like the 2nd silicon oxide 22 of the above. Moreover, the upper limit of the thickness of the 2nd silicon oxide 82 is set as the grade which a crack does not produce in this film. Specifically, in order to obtain better flat nature, as for the thickness of the 2nd silicon oxide 82, it is desirable that it is thicker than a lower layer level difference, and it is preferably set as 500-1000nm.

[0123] 0-20 degrees C of membrane formation temperature of the 2nd silicon oxide 82 are more preferably set as 0-10 degrees C.

[0124] The 2nd silicon oxide 82 formed at this process has a high fluidity, and is excellent in a flattening property.

[0125] c. The 3rd silicon oxide 84 is formed by making it react to the bottom of existence of formation of the 3rd silicon oxide 84 next SiH_4 , and N_2O by the plasma CVD method at the temperature of 300-450 degrees C at 200-600kHz high frequency.

[0126] Moreover, the 3rd silicon oxide 84 needs that desorption of gasification components, such as water contained in the 2nd silicon oxide 82 of the above like the 3rd silicon oxide 24 of the above by the annealing processing performed behind, is easy, and to be porous (porosity) in consideration of fully being carried out. For that purpose, temperature is desirable and, as for the 3rd silicon oxide 84, it is desirable for 450 degrees C or less to be the PSG film with which membranes are more preferably formed by 300-400 degrees C 1MHz or less by the 200-600kHz RF plasma CVD method more preferably, and impurities, such as Lynn, are contained by introduction of PH_3 gas etc. By containing such an impurity in the 3rd silicon oxide 84, the 3rd silicon oxide 84 will be in a more nearly porous state, and can ease the stress to a film. The concentration of such an impurity is set up in consideration of points, such as stress-proof nature and the gettering effect. For example,

when an impurity is Lynn, it is desirable to be contained at 1 - 6% of the weight of a rate.

[0127] Moreover, in plasma CVD, desorption of the hydrogen bond in the 2nd silicon oxide 82 is promoted by using N₂O as a compound containing oxygen. Consequently, gasification components, such as moisture contained in the 2nd silicon oxide 82, can be removed more certainly.

[0128] 100nm or more of thickness of this 3rd silicon oxide 84 is more preferably set as 200-600nm.

[0129] d. Perform annealing processing at annealing processing, next the temperature of 350-500 degrees C. By this annealing processing, the 2nd silicon oxide 82 of the above and the 3rd silicon oxide 84 turn precisely, and have good insulation and good water resistance. That is, by setting an annealing temperature as 350 degrees C or more, the condensation polymerization reaction of the silanol in the 2nd silicon oxide 82 is performed nearly completely, and the moisture contained in this film is fully emitted, and can form a precise film. Moreover, it does not have a bad influence on the aluminum film which constitutes the 2nd wiring layer 60 by setting an annealing temperature as 500 degrees C or less.

[0130] e. Form the silicon nitride 86 of the best layer by making SiH₄ and NH₃ react by the plasma CVD method at the temperature of 300-450 degrees C by using formation, next the nitrogen gas of the silicon nitride 86 as a carrier. This silicon nitride 86 has 300-1500nm thickness in consideration of sufficient passivation function.

[0131] Then, the aforementioned protection insulator layer PL is alternatively *****ed on a mask by dry etching or wet etching in the photoresist which is not illustrated, and the hole for constituting the bonding putt section for external electrode ejection is formed. Moreover, in order to accept the need and to ease the stress at the time of the resin mould of a semiconductor device, you may carry out the laminating of the films, such as polyimide resin, further.

[0132] In the form of this operation, since flattening is highly attained by the 1st silicon oxide 80 and the 2nd silicon oxide 82, the silicon nitride 86 which has a passivation function can constitute the protection insulator layer PL which was attached, and the surroundings were often evenly formed, and thickness did not produce a thin portion or a thin defect locally, and was excellent in moisture resistance or resistance to contamination. Furthermore, in the aforementioned protection insulator layer PL, in the 2nd metal wiring layer 60, since the film of a silicon oxide with a dielectric constant smaller

than a silicon nitride exists between the adjoining metal wiring layers 60a and 60b, contribution of the capacity in a direction (horizontal) parallel to the front face of a silicon substrate 11 can be performed small. Therefore, electrical properties, such as a working speed of an element, can be raised compared with the structure where a silicon nitride with a high dielectric constant exists between metal wiring layers.

[0133] moreover, the 2nd silicon oxide 82 formed of the polycondensation reaction of a silicon compound and a hydrogen peroxide and the silicon oxides 80 and 84 of the 1st and 3 formed of plasma CVD have an etch rate of the same grade, as mentioned above -- etc. -- since it has the almost same etching property, the simple wet etching by mixed acids, such as HF and NH₄F, is applicable not to mention dry etching

[0134] In addition, as a film equivalent to the 2nd silicon oxide 82, when for example, an SOG film is used, since the etch rate of an SOG film is large, side etching progresses, and there is a problem which a chipping and a crack tend to generate on the film above this SOG film.

[0135] In the form of this operation, the following things can be considered as a reason for having the flat nature the protection insulator layer PL excelled [nature] in the 1st and the 2nd layer insulation film I1, and I2 row.

[0136] That is, since the resultant containing a silanol formed of the reaction of a silicon compound and a hydrogen peroxide has a high fluidity, when the irregularity on the front face of a wafer forms these films, flattening of the 2nd silicon oxide 22, 72, and 82 formed at the process shown in drawing 1 (B), drawing 3 (A), and drawing 5 is carried out highly.

[0137] Moreover, in the form of this operation, the following things can be considered as a reason the 1st and 2nd aluminum films 64 and 65 were embedded by the 1st and the 2nd aluminum film 34, and 35 rows good in the contact hole 32 and the beer hall 62, respectively.

[0138] (a) By gasifying water and nitrogen which are contained in the insulator layers I1 and I2 between each class by performing a degasifying process, and fully emitting In the 1st subsequent aluminum film 34 and 64 and membrane formation of the 2nd aluminum 35 and 65, by preventing generating of the gas from the layer insulation films I1 and I2, the barrier layer 33, or the WETTENGU layer 63 Raised the adhesion of the WETTENGU layer 63 and the 1st aluminum film 64 to the barrier layer 33, the 1st aluminum film 34, and the row, and membrane formation of good step coverage was possible for.

[0139] (b) what the adhesion of the 1st aluminum film 34 and 64 was raised for in addition to the effect of the aforementioned degasifying process as the moisture or nitrogen which are contained in the WETTENGU layer 63 in substrate temperature at the layer insulation films 11 and 12 and barrier layer 33 row 200 degrees C or less by setting it as low temperature comparatively were not made to emit in membrane formation of the 1st aluminum film 34 and 64

[0140] (c) Since the 1st aluminum film 34 and 64 the very thing play further the role which suppresses generating of the gas from a lower layer when substrate temperature goes up, the 2nd following aluminum film 35 and 65 can be formed at comparatively high temperature, and flow diffusion of the 2nd aluminum film can be performed good.

[0141] (Semiconductor device) The semiconductor device (refer to drawing 5) applied to the form of this operation by the above method can be formed. This semiconductor device has the 1st wiring field L1 formed on the silicon substrate 11 which contains the MOS device at least, and the aforementioned silicon substrate 11. The wiring field L1 of the above 1st is formed on the 1st silicon oxide 20 used as a base layer, the 2nd silicon oxide 22 formed of the polycondensation reaction of a silicon compound and a hydrogen peroxide, and the 2nd silicon oxide 22 of the above. It is formed on the 3rd silicon oxide 24 containing impurities, such as Lynn, and the 3rd silicon oxide 24 of the above. By CMP Were formed on the barrier layer 33 formed in the front face of the contact hole 32 formed in the 1st layer insulation film 11 which consists of the 4th silicon oxide 26 by which flattening was carried out, and the aforementioned layer insulation film 11, the aforementioned layer insulation film 11, and the aforementioned contact hole 32, and the aforementioned barrier layer 33. It has the aluminum films 34 and 35 which consist of an alloy which makes aluminum or aluminum a principal component. And the aforementioned aluminum film 34 is connected to the titanium silicide layer 19 through the barrier layer 33.

[0142] The 2nd wiring field L2 formed on the wiring field L1 of the above 1st It is formed on the 1st silicon oxide 70 used as a base layer, the 2nd silicon oxide 72 formed of the polycondensation reaction of a silicon compound and a hydrogen peroxide, and the 2nd silicon oxide 72 of the above. It is formed on the 3rd silicon oxide 74 containing impurities, such as Lynn, and the 3rd silicon oxide 74 of the above. By CMP Were formed on the WETTENGU layer 63 formed in the front face of

the beer hall 62 formed in the 2nd layer insulation film 12 which consists of the 4th silicon oxide 76 by which flattening was carried out, and the aforementioned layer insulation film 12, the aforementioned layer insulation film 12, and the aforementioned beer hall 62, and the aforementioned WETTENGU layer 63. It has the aluminum films 64 and 65 which consist of an alloy which makes aluminum or aluminum a principal component.

[0143] The protection insulator layer PL formed on the wiring field L2 of the above 2nd is formed the 1st silicon oxide 80 used as a base layer, the 2nd silicon oxide 82 formed of the polycondensation reaction of a silicon compound and a hydrogen peroxide, and on this 2nd silicon oxide 82, and has the 3rd silicon oxide 84 containing impurities, such as Lynn, and the silicon nitride 86 formed on this 3rd silicon oxide 84.

[0144] As mentioned above, according to the form of this operation, the layer insulation films 11 and 12 and the protection insulator layer PL which have very good flat nature can be formed by forming the silicon oxide containing ***** of a silanol obtained according to the gaseous phase reaction of a silicon compound and a hydrogen peroxide.

[0145] And since the 1st layer insulation film 11 can be formed at remarkable low temperature compared with the conventional BPSG film, it can improve a property in respect of a punch through, junction leak, etc., therefore can attain detailed-izing of an element, and reliable contact structure, and its manufacture process top is also advantageous.

[0146] Moreover, since it has flat nature with the advanced layer insulation films 11 and 12, a process margin including processing of a wiring layer etc. can be made to be able to increase, and quality and the yield can be raised.

[0147] Furthermore, it not only can form the silicon nitride 86 which has a high passivation function, but in the protection insulator layer PL, from having the 2nd silicon oxide 82 which was excellent in flat nature, there are few defects at uniform thickness and reduction of a mutual capacity of the metal wiring layer of the same layer can attain improvement in an electrical property.

[0148] Moreover, in the form of this operation, by forming an aluminum film continuously [it is still more desirable and] within the same chamber including a degasifying process and a cooling process at least before the spatter of an aluminum film, it became possible to embed the contact hole

and beer hall to about 0.2 micrometers only by aluminum or the aluminium alloy, and improvement was able to be aimed at in respect of reliability and the yield. Moreover, there are also no copper segregation and unusual growth of crystal grain in the aluminum film which constitutes the contact section, and the good thing was checked also in respect of reliability including migration etc.

[0149] (others -- form of operation) this invention is not limited to the form of the above-mentioned implementation, but can replace the part with the following means

[0150] (a) In the form of the aforementioned implementation, although the dinitrogen oxide was used as a compound containing oxygen at the time of membrane formation by the plasma CVD of the 3rd silicon oxide 24, 74, and 84 instead, ozone can also be used. And before forming the 3rd silicon oxide 24, 74, and 84, it is desirable to expose a wafer to ozone atmosphere.

[0151] For example, Wafer W is laid and it is made to move at the rate of predetermined using the belt furnace shown in drawing 8 onto the conveyance belt 80 heated by 400-500 degrees C at the heater 82. At this time, ozone is supplied from 1st gas head 86a, and the aforementioned wafer W is passed for the inside of 2 - 8% of the weight of ozone atmosphere over the time for 5 minutes or more. Subsequently, ozone, TEOS, and TMP (P(OCH₃)₃) are mostly supplied by the ordinary pressure from the 2nd and 3rd gas heads 86b and 86c, and the PSG films (the 3rd silicon oxide) 24, 74, and 84 whose concentration of Lynn is 3 - 6 % of the weight are formed by 100-600nm of thickness. In addition, in drawing 8, a sign 84 shows covering.

[0152] Thus, by using ozone instead of a dinitrogen oxide, the silicon oxide by TEOS can be formed by the ordinary pressure CVD. Moreover, membranes can be continuously formed efficiently by using a belt furnace.

[0153] By exposing Wafer W into ozone atmosphere, moreover, by the thermal-desorption spectrum (TDS) and the infrared spectroscopy (FTIR) The 2nd silicon oxide 22, 72, and 82 has enough little hygroscopicity and moisture. It was checked that the flat nature of the layer insulation films I1 and I2 is good like the case where a dinitrogen oxide is used as reactant gas, that the property of an MOS transistor is good, and that a crack does not occur in the 2nd silicon oxide 22, 72, and 82.

[0154] (b) With the form of the aforementioned implementation, although the silicon oxide using TEOS by plasma CVD was used as the 1st silicon

oxide 20, you may use a silicon oxide besides instead of for this. For example, the film formed by the reduced pressure heat CVD using the mono silane and the dinitrogen oxide as such 1st silicon oxide is sufficient. Membranes are faithfully formed to the shape of surface type of a lower layer silicon substrate, and not only coverage nature is good, but since this silicon oxide is precise, even if a passivation function is high and carries out the temperature up of it rapidly in annealing processing further, a crack cannot generate it easily in the 2nd silicon oxide 22. Moreover, in order to use heat CVD, there is an advantage without a plasma damage.

[0155] However, since it is necessary to set wafer temperature as about 750-800 degrees C in case membranes are formed by this method, it cannot be used on the film which is easy to oxidize like titanium silicide as Salicide structure, but it is necessary to use tungsten silicide or molybdenum silicide.

[0156] (c) With the form of the aforementioned implementation, although the 1st layer insulation film I1 consists of silicon oxides of four layers, it may add not only this but other silicon oxides. For example, you may form the PSG film (concentration [of Lynn] : 1 - 6 % of the weight) of 100-300nm of thickness formed by the plasma CVD method between the 1st silicon oxide 20 and the 2nd silicon oxide 22. By putting in this PSG film, it was checked that the gettering function of a movable ion improves further and the threshold property of a transistor and change of the quiescent current decrease.

[0157] (d) With the form of the aforementioned implementation, although the protection insulator layer PL contains the 3rd silicon oxide 84, it may be the composition except this silicon oxide 84.

[0158] In addition, although the form of the above-mentioned implementation described the semiconductor device including a two-layer wiring field, this invention is applicable to the semiconductor device containing various kinds of elements, such as not only the semiconductor device that can apply also to the semiconductor device which, of course, includes the wiring field of three or more layers, and contains the N channel type MOS device but a P channel type or a CMOS type element. Furthermore, with the form of the above-mentioned implementation, although flattening of the 4th silicon oxide 26 and 76 of the layer insulation films I1 and I2 was carried out by CMP, since it has the flat nature excellent in the 2nd silicon oxide 22 and 72, it is not necessary to necessarily establish this process.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] (A), (B), and (C) are the cross sections showing typically an example of the manufacture method of the semiconductor device of this invention in order of a process.

[Drawing 2] (A) And (B) is the cross section showing typically an example of the manufacture method of the semiconductor device performed following the process shown in drawing 1 in order of a process.

[Drawing 3] (A) And (B) is the cross section showing typically an example of the manufacture method of the semiconductor device performed following the process shown in drawing 2 in order of a process.

[Drawing 4] (A) And (B) is the cross section showing typically an example of the manufacture method of the semiconductor device performed following the process shown in drawing 3 in order of a process.

[Drawing 5] It is the cross section showing an example in the manufacture method of the semiconductor device performed about the process shown in drawing 4 typically.

[Drawing 6] It is drawing showing typically an example of the sputtering system used for the gestalt of operation concerning this invention.

[Drawing 7] It is drawing showing the relation of the time and substrate temperature when controlling substrate temperature using the sputtering system shown in drawing 5.

[Drawing 8] It is drawing showing typically the belt furnace used for manufacture of a semiconductor device.

[Description of Notations]

11 Silicon Substrate
 12 Field Insulator Layer
 13 Gate Oxide Film
 14 Gate Electrode
 15 Low Concentration Impurity Layer
 16 High Concentration Impurity Layer
 17 Side Attachment Wall Spacer
 18 Silicon Oxide
 19 Titanium Silicide Layer
 20 1st Silicon Oxide
 22 2nd Silicon Oxide
 24 3rd Silicon Oxide
 26 4th Silicon Oxide
 32 Contact Hole
 33 Barrier Layer
 34 1st Aluminum Film
 35 2nd Aluminum Film
 62 Beer Hall
 63 WETTENGU Layer
 64 1st Aluminum Film

65 2nd Aluminum Film
 70 1st Silicon Oxide
 72 2nd Silicon Oxide
 74 3rd Silicon Oxide
 76 4th Silicon Oxide
 80 1st Silicon Oxide
 82 2nd Silicon Oxide
 84 3rd Silicon Oxide
 86 Silicon Nitride
 I1, I2 Layer insulation film
 PI, Protection insulator layer
 L1, L2 Wiring field

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-145134

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl. ⁶	識別記号	F I
H 0 1 L 21/318		H 0 1 L 21/318 M
21/316		21/316 M
21/788		21/90 K

審査請求 未請求 請求項の数12 F D (全 17 頁)

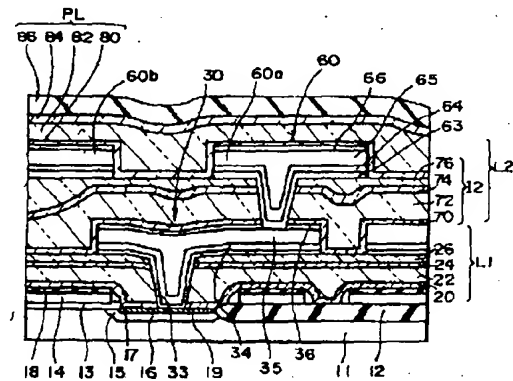
(21) 出願番号	特願平9-318975	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成9年(1997)11月5日	(72) 発明者	両角 幸男 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	旭 剛典 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(74) 代理人	弁理士 井上 一 (外2名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】 (修正有)

【課題】 平坦性の改善と層間容量の低減とにより、信頼性並びにデバイス特性が向上された保護絶縁膜を有する半導体装置およびその製造方法を提供する。

【解決手段】 半導体装置は、MOS素子を含む半導体基板11、前記半導体基板の上に形成された複数の配線領域L1、L2および該配線領域のうちの最上層に位置する配線領域の上に形成された保護絶縁膜PLを含む。前記保護絶縁膜PLは、第1のシリコン酸化膜80、第1のシリコン酸化膜の上に形成され、シリコン化合物と過酸化水素との重縮合反応によって形成された第2のシリコン酸化膜82、および最上層を構成するシリコン窒化膜86、を含む。



【特許請求の範囲】

【請求項1】 素子を含む半導体基板、前記半導体基板の上に形成された複数の配線領域および該配線領域のうちの最上層に位置する配線領域の上に形成された保護絶縁膜を含み、

前記保護絶縁膜は、

第1のシリコン酸化膜、

前記第1のシリコン酸化膜の上に形成され、シリコン化合物と過酸化水素との重合反応によって形成された第2のシリコン酸化膜、および最上層を構成するシリコン窒化膜、

を含む半導体装置。

【請求項2】 請求項1において、

さらに、前記第2のシリコン酸化膜の上に、多孔性の第3のシリコン酸化膜を有する半導体装置。

【請求項3】 請求項1または請求項2において、

前記第1のシリコン酸化膜は、膜厚が50～500nmである半導体装置。

【請求項4】 請求項1ないし請求項3のいずれかにおいて、

前記第2のシリコン酸化膜は、膜厚が前記第1のシリコン酸化膜によって構成される凹凸の最上面が被覆される膜厚を有する半導体装置。

【請求項5】 請求項1ないし請求項4のいずれかにおいて、

前記シリコン窒化膜は、膜厚が300～1500nmである半導体装置。

【請求項6】 素子を含む半導体基板、前記半導体基板の上に形成された複数の配線領域および該配線領域のうちの最上層に位置する配線領域の上に形成された保護絶縁膜を含む半導体装置の製造方法であって、

前記保護絶縁膜を形成する工程は、少なくとも以下の工程(a)～(d)を含む半導体装置の製造方法。

(a) シリコン化合物と、酸素および酸素を含む化合物の少なくとも1種とを化学気相成長法によって反応させて第1のシリコン酸化膜を形成する工程、

(b) シリコン化合物と過酸化水素とを化学気相成長法によって反応させて第2のシリコン酸化膜を形成する工程、

(c) 350～500℃の温度でアニール処理を行う工程、および

(d) シリコン窒化膜を形成する工程。

【請求項7】 請求項6において、

前記工程(b)の後に、シリコン化合物、酸素および酸素を含む化合物の少なくとも1種、および不純物を含む化合物を化学気相成長法によって反応させて多孔性の第3のシリコン酸化膜を形成する工程(e)、を含む半導体装置の製造方法。

【請求項8】 請求項6または請求項7において、

前記工程(b)で用いられるシリコン化合物は、モノシ

ラン、ジシラン、 SiH_2Cl_2 、 SiF_4 、 CH_3SiH_3 などの無機シラン化合物、およびトリプロピルシラン、テトラエトキシシランなどの有機シラン化合物から選択される少なくとも1種である半導体装置の製造方法。

【請求項9】 請求項6ないし請求項8のいずれかにおいて、

前記工程(b)は、前記シリコン化合物が無機シラン化合物であって、0～20℃の温度条件下で減圧化学気相成長法によって行われる半導体装置の製造方法。

【請求項10】 請求項6ないし請求項8のいずれかにおいて、

前記工程(b)は、前記シリコン化合物が有機シラン化合物であって、100～150℃の温度条件下で減圧化学気相成長法によって行われる半導体装置の製造方法。

【請求項11】 請求項6ないし請求項10のいずれかにおいて、

前記工程(a)は、300～500℃の温度条件下でプラズマ化学気相成長法によって行われる半導体装置の製造方法。

【請求項12】 請求項6ないし請求項11のいずれかにおいて、

前記工程(a)で用いられるシリコン化合物は有機シラン化合物である半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、特にハーフミクロン以下に微細化された金属配線の上に形成される保護絶縁膜を有する半導体装置およびその製造方法に関する。

【0002】

【背景技術】LSI等に用いられる半導体装置の最上層の金属配線層上には、物理的損傷並びにコンタミネーションや水分の侵入を防ぐために、保護絶縁膜が形成されている。保護絶縁膜としては、例えば低温でプラズマ気相成長させたシリコン窒化膜が一般的に用いられる。また、保護絶縁膜として、シリコン窒化膜の下層にストレス緩和のためのシリコン酸化膜を形成した積層構造を有するものも用いられている。このような積層構造を有する保護絶縁膜として、例えばモノシランと酸素あるいは一酸化二窒素を気相成長させて形成されたシリコン酸化膜、あるいはこれにリンをドーパしたPSG（リンガラス）膜、あるいは、SOG（スピニン オン グラス）膜と、モノシランとアンモニアあるいは窒素ガスを用いたプラズマ化学気相成長によって形成された、膜厚が1μm程度のシリコン窒化膜とから構成されている。

【0003】この保護絶縁膜は、フォトレジストをマスクにしてドライエッチングあるいはウェットエッチングで選択エッチングされ、外部電極取り出し用のボンディングパッド部を構成するための開口部を有している。

【0004】ところで、半導体装置がサブミクロン以下に微細化されてくると、金属配線層のエッチングによる加工には、異方性ドライエッチングを採用することから、金属配線層の側壁部はほぼ垂直の急峻な傾斜を有する。そして、保護絶縁膜を構成するシリコン酸化膜やシリコン窒化膜はカスピングによって付きまわりが悪いため、金属配線層の特定のスペースにはボイドが形成されやすい。このボイドの部分は、コンタミネーショントラップとなる。また、金属配線層の側壁部および溝部のコーナでは、シリコン窒化膜が平坦部に比べてその膜厚が極めて薄くなるため、この膜厚が薄い部分から水分やコンタミネーションが侵入しやすく、長期信頼性の点で問題がある。

【0005】さらに、デバイスの動作速度を向上させるためには、層間容量の低減を必要とし、従来では、金属配線層と基板、あるいは上下方向の配線層間の層間容量に注意をはらってきた。しかし、配線スペースの微細化により横方向の層間容量の寄与が大きくなり、そのため、誘電率の高いシリコン窒化膜が同一層における金属配線相互のスペース間に存在する保護絶縁膜の構造では、横方向の層間容量が動作速度等の電気特性上の点で無視できないものとなってきた。

【0006】

【発明が解決しようとする課題】本発明の目的は、平坦性の改善と、層間容量の低減により信頼性並びにデバイス特性の向上に寄与できる保護絶縁膜を有する半導体装置およびその製造方法を提供することにある。

【0007】

【課題を解決するための手段】本発明の半導体装置の製造方法は、素子を含む半導体基板、前記半導体基板の上に形成された複数の配線領域および該配線領域のうちの最上層に位置する配線領域の上に形成された保護絶縁膜を含む半導体装置の製造方法であって、前記保護絶縁膜を形成する工程は、少なくとも以下の工程(a)～(d)を含む。

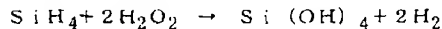
【0008】(a)シリコン化合物と、酸素および酸素を含む化合物の少なくとも1種とを化学気相成長法によって反応させて第1のシリコン酸化膜を形成する工程、(b)シリコン化合物と過酸化水素とを化学気相成長法によって反応させて第2のシリコン酸化膜を形成する工程、(c)350～500℃の温度でアニール処理を行う工程、(d)シリコン窒化膜を形成する工程。

【0009】この半導体装置の製造方法によれば、工程(b)によって、シリコン化合物と過酸化水素とを化学気相成長法によって反応させて第2のシリコン酸化膜を形成することにより、平坦性の優れた層を低温で形成することができる。すなわち、この工程(b)で形成される第2のシリコン酸化膜は、それ自体で高い流動性を有し、優れた自己平坦化特性を有する。そのメカニズムは、シリコン化合物と過酸化水素とを化学気相成長法に

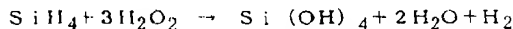
よって反応させると、気相中においてシラノールが形成され、このシラノールがウエハ表面に堆積することにより流動性のよい膜が形成されることによると考えられる。

【0010】例えば、シリコン化合物としてモノシランを用いた場合には、下記式(1)、(1)'などで示される反応でシラノールが形成される。

【0011】式(1)

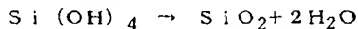


式(1)'



そして、式(1)、(1)'で形成されたシラノールは、下記式(2)で示される重縮合反応で水が脱離することにより、シリコン酸化物となる。

【0012】式(2)



前記シリコン化合物としては、例えばモノシラン、ジシラン、 SiH_2Cl_2 、 SiF_4 、 CH_3SiH_3 などの無機シラン化合物、およびトリプロピルシラン、テトラエトキシシランなどの有機シラン化合物などを例示することができる。

【0013】また、前記工程(b)の成膜工程は、前記シリコン化合物が無機シリコン化合物の場合には、0～20℃の温度条件下で、前記シリコン化合物が有機シリコン化合物の場合には、100～150℃の温度条件下で、減圧化学気相成長法によって行われることが望ましい。この成膜工程で、温度が前記上限値より高いと、前記式(2)の重縮合反応が進みすぎることにより、第1のシリコン酸化膜の流動性が低くなり、良好な平坦性が得られにくい。また、温度が前記下限値より低いと、チャンパー内での分解水分の吸着およびチャンパー外での結露が発生し、成膜装置のコントロールが困難となる不都合がある。

【0014】前記工程(b)で形成される第2のシリコン酸化膜は、ウエハ基板表面の段差を十分にカバーできる程度の膜厚、すなわち該第2のシリコン酸化膜の下に位置する第1のシリコン酸化膜によって構成される凹凸の最上面が被覆されるのに十分な膜厚で形成されることが望ましい。第2のシリコン酸化膜の膜厚は、その下限値は第2のシリコン酸化膜の下にある第1のシリコン酸化膜の凹凸の高さに依存するが、好ましくは500～1000nmである。第2のシリコン酸化膜の膜厚が前記上限値を超えると、膜自体のストレスでクラックを生ずることがある。

【0015】本発明においては、前記工程(b)の前に、シリコン化合物と、酸素および酸素を含む化合物の少なくとも1種とを化学気相成長法によって反応させて、ベース層となる第1のシリコン酸化膜を形成する。このベース層は、それより下層に前記第2のシリコン酸化膜から水分や余分な不純物が移動しないパッシベーション

オン機能、および第2のシリコン酸化膜の密着性を高める機能を有する。

【0016】前記工程(b)の後に、シリコン化合物、酸素および酸素を含む化合物の少なくとも1種、および不純物を含む化合物を化学気相成長法によって反応させて、前記第2のシリコン酸化膜の上に多孔性の第3のシリコン酸化膜を形成する工程(e)を含むことが望ましい。

【0017】この第3のシリコン酸化膜は、キャップ層として機能するだけでなく、多孔性であって、後の工程(c)のアニール処理において、第2のシリコン酸化膜から発生するガス成分を徐々に外部に放出できる。さらに、この第3のシリコン酸化膜は、多孔性であることに加え、該膜にリン、ボロンなどの不純物、好ましくはリンを添加することにより該膜を構成するシリコン化合物のSi-O分子間結合力を弱めることで、該膜の応力を緩和することができ、いわば適度に柔らかく更に割れにくい層を構成できる。第3のシリコン酸化膜に含まれる不純物の濃度は、前述した膜の応力緩和の点を考慮すると、好ましくは1〜6重量%である。

【0018】また、第3のシリコン酸化膜は、100〜600MPaの圧縮ストレスを有しているため、第2のシリコン酸化膜が重縮合する際に引張ストレスが増大してクラックが入るのを防止する機能がある。さらに、第3のシリコン酸化膜は、第2のシリコン酸化膜の吸湿を防止する機能も有する。

【0019】前記工程(e)は、300〜450℃の温度条件下で、1MHz以下の高周波によるプラズマ化学気相成長法によって行われることが望ましい。この温度条件下で成膜を行うことにより、工程(c)のアニールでガス成分がアニール初期段階で抜けやすくなり、デバイスの信頼性が向上する。

【0020】また、前記工程(e)で用いられる、酸素を含む化合物は、一酸化二窒素(N_2O)であることが望ましい。反応ガスとして一酸化二窒素を用いることにより、プラズマ状態の一酸化二窒素は第2のシリコン酸化膜を構成するシリコン化合物の水素ボンド(-H)と反応しやすいので、第3のシリコン酸化膜を成膜中にも第2のシリコン酸化膜のガス化成分(水素、水)の脱離を促進することができる。

【0021】前記工程(e)は、プラズマ化学気相成長法の代わりに、300〜500℃の温度条件下で常圧化学気相成長法によって行われてもよい。この場合、前記工程(e)で用いられる前記酸素を含む化合物はオゾンであることが望ましい。

【0022】さらに、前記工程(e)で、前記第2のシリコン酸化膜を成膜する前に、前記第2のシリコン酸化膜をオゾン雰囲気中にさらすことが望ましい。この工程を経ることにより、オゾンが第2のシリコン酸化膜を構成するシリコン化合物の水素ボンド(-H)や水酸基(-

OH)と反応しやすいので、第2のシリコン酸化膜中の水素や水の脱離を促進することができる。

【0023】また、第3のシリコン酸化膜の膜厚は、平坦性およびクラックの点を考慮すると、好ましくは100nm以上である。

【0024】前記工程(c)で、350〜500℃の温度でアニール処理を行うことにより、前記工程(b)および(e)で形成された第2および第3のシリコン酸化膜は緻密化され、絶縁性ならびに耐湿性が向上する。

【0025】つまり、第2のシリコン酸化膜についてみると、このアニール処理の初期において、前述した式(2)による重縮合反応が完了し、この反応に伴って生じる水や水素は第3のシリコン酸化膜の孔を介して外部に放出され、第2のシリコン酸化膜は、十分にガス化成分が除去された状態で緻密に形成される。また、第3のシリコン酸化膜は、アニール処理によって、多孔質から緻密な膜になる。

【0026】このアニール処理において、温度を350℃以上とすることにより、第2および第3のシリコン酸化膜を十分に緻密にすることができる。また、アニール温度を500℃を越える温度で行うと、アルミニウムなどの金属あるいは合金からなる金属配線層が熱ダメージを受けやすくなる。

【0027】また、第2のシリコン酸化膜上に多孔性の第3のシリコン酸化膜を形成しておくことにより、工程(c)でのアニール処理において、ウェハを350〜500℃の温度下に直接置いた場合のように急激な温度変化があっても、前記第3のシリコン酸化膜が適度な柔らかさを有しかつ急激な水分の放出を制御するため、第2のシリコン酸化膜の応力を吸収できるので、該第2のシリコン酸化膜にクラックを生じることなく、アニール処理を行うことができる。

【0028】さらに、前記工程(c)のアニール処理に続き、工程(d)で、化学気相成長法、好ましくはプラズマ化学気相成長法によってシリコン窒化膜を形成する。このシリコン窒化膜は、耐湿性および耐汚染性を考慮すると、好ましくは300〜1500nmの膜厚を有する。

【0029】本発明に係る製造方法においては、第1のシリコン酸化膜および第2のシリコン酸化膜によって十分に平坦化が図られる。その結果、最上層のシリコン窒化膜は付きまわりが良く、局所的に膜厚が薄い部分や欠陥が少なく、耐湿性並びに耐汚染性が高く保護膜としての信頼性の向上を図ることができる。

【0030】以上の製造方法によって形成された半導体装置は、素子を含む半導体基板、前記半導体基板の上に形成された複数の配線領域および該配線領域のうちの最上層に位置する配線領域の上に形成された保護絶縁膜を含み、前記保護絶縁膜は、第1のシリコン酸化膜、前記第1のシリコン酸化膜の上に形成され、シリコン化合物

と過酸化水素との重合反応によって形成された第2のシリコン酸化膜、および最上層を構成するシリコン窒化膜、を含む。

【0031】この半導体装置によれば、上述したように、保護絶縁膜として高い信頼性を有するだけでなく、最上層の金属配線層において隣接する配線層の相互間のスペースには誘電率の低いシリコン酸化膜が充填されるため、誘電率の高いシリコン窒化膜の影響が小さく、従来の構造に比べて動作速度を向上することができる。

【0032】本発明においては、前記工程(b)と同様な工程で形成される、シリコン化合物と過酸化水素とを化学気相成長法によって反応させて得られるシリコン酸化膜は、MOS素子などの素子を含む半導体基板の上に形成される層間絶縁膜、ならびに金属配線層の相互間の層間絶縁膜の平坦化層にも適用することが望ましい。

【0033】

【発明の実施の形態】図1～図5は、本発明に係る半導体装置の製造方法および半導体装置の一実施の形態を説明するための概略断面図である。図1(A)～(C)および図2(A)、(B)は第1層の配線領域1を、図3(A)、(B)および図4(A)、(B)は第2層の配線領域2を、図5は多層構造の保護絶縁膜を製造するための工程を示す。

【0034】以下に、半導体装置の製造方法の一例を示す。

【0035】(A)図1(A)に示す工程について説明する。

【0036】(素子の形成)まず、一般的に用いられる方法によって、シリコン基板11にMOS素子が形成される。具体的には、例えば、シリコン基板11上に選択酸化によってフィールド絶縁膜12が形成され、アクティブ領域にゲート酸化膜13が形成される。チャネル注入により、しきい値電圧を調整した後、 SiH_4 を熱分解して成長させたポリシリコン膜の上にタングステンシリサイドをスパッタし、さらにシリコン酸化膜18を積層し、さらに所定パターンにエッチングすることにより、ゲート電極14が形成される。このとき、必要に応じて、フィールド絶縁膜12上にポリシリコン膜およびタングステンシリサイド膜からなる配線層37が形成される。

【0037】次いで、リンをイオン注入することによりソース領域あるいはドレイン領域の低濃度不純物層15が形成される。次いで、ゲート電極14のサイドにシリコン酸化膜からなる側壁スペーサ17が形成された後、ヒ素をイオン注入し、ハロゲンランプを用いたアニール処理によって不純物の活性化を行うことにより、ソース領域あるいはドレイン領域の高濃度不純物層16が形成される。

【0038】次に、100nm以下の気相成長シリコン酸化膜を形成し、該膜をHFと NH_4F の混合水溶液で

選択的にエッチングすることにより、所定のシリコン基板領域を露出させる。続いて、例えばチタンを30～100nm程度の膜厚でスパッタし、酸素を50ppm以下に制御した窒素雰囲気中において650～750℃の温度で数秒～60秒程度の瞬間アニールを行うことにより、開口したシリコン基板表面にチタンのモノシリサイド層が、シリコン酸化膜18上にはチタンリッチのチタンナイトライド(TiN)層が形成される。次いで、 $\text{N}_2\text{H}_4\text{OH}$ と H_2O_2 の混合水溶液中に浸漬すると、前記チタンナイトライド層はエッチング除去されてシリコン基板表面のみにチタンのモノシリサイド層が残る。さらに、750～850℃のランプアニールを行って、前記モノシリサイド層をダイシリサイド化させて、高濃度不純物層16の表面に自己整合的にチタンシリサイド層19が形成される。

【0039】なお、ゲート電極14をポリシリコンのみで形成して選択エッチングで露出させた場合には、ゲート電極とソース、ドレイン領域の両者が側壁スペーサで分離されたチタンシリサイド構造になる。

【0040】なお、シリサイド構造は、チタンシリサイドの代わりに、タングステンシリサイド、モリブデンシリサイドから構成されていてもよい。

【0041】(B)次に、図1(B)に示す工程について説明する。

【0042】(第1の層間絶縁膜11の形成)第1の層間絶縁膜11は、4層のシリコン酸化膜、つまり、下から順に、第1のシリコン酸化膜20、第2のシリコン酸化膜22、第3のシリコン酸化膜24および第4のシリコン酸化膜26から構成されている。

【0043】a. 第1のシリコン酸化膜20の形成
まず、テトラエトキシラン(TEOS)と酸素とを300～500℃でプラズマ化学気相成長(CVD)法で反応させることにより、膜厚100～200nmの第1のシリコン酸化膜20が形成される。このシリコン酸化膜20は、シリサイド層19の酸化やカスピングもなく、 SiH_4 から成長させた膜より絶縁性も高くフッ化水素の水溶液に対するエッチング速度も遅く、緻密な膜となる。

【0044】ここでは、チタンシリサイド層19上に直接シリコン酸化膜20を形成させるが、このときの成膜温度が高いと成膜初期に酸化性ガスとチタンシリサイドとが簡単に反応してクラックや剥離を生じ易いため、処理温度は好ましくは600℃以下、より好ましくは250～400℃で行うことが望ましい。そして、シリコン酸化膜がチタンシリサイド層19上に100nm程度の膜厚で前述した比較的低温で形成された後は、水蒸気以外の酸化雰囲気中にさらされるアニールや気相酸化処理であれば、温度を900℃位まで上げて問題とならない。

【0045】b. 第2のシリコン酸化膜22の形成

次に、好ましくは 2.5×10^2 Pa以下、より好ましくは $0.3 \times 10^2 \sim 2.0 \times 10^2$ Paの減圧下において、窒素ガスをキャリアとして、 SiH_4 および H_2O_2 をCVD法により反応させることにより、第2のシリコン酸化膜22を形成する。第2のシリコン酸化膜22は、少なくとも、下層の第1のシリコン酸化膜20の段差より大きい膜厚を有し、つまり該段差を十分にカバーする膜厚で成膜される。また、第2のシリコン酸化膜22の膜厚の上限は、該膜中にクラックが生じない程度に設定される。具体的には、第2のシリコン酸化膜22の膜厚は、より良好な平坦性を得るために、下層の段差より厚いことが望ましく、好ましくは $300 \sim 1000$ nmに設定される。

【0046】第2のシリコン酸化膜22の成膜温度は、該膜の成膜時の流動性に關与し、成膜温度が高いと膜の流動性が低下して平坦性を損なうので、成膜時の温度は好ましくは $0 \sim 20^\circ\text{C}$ 、より好ましくは $0 \sim 10^\circ\text{C}$ に設定される。

【0047】また、 H_2O_2 の流量は特に制限されないが、 SiH_4 の2倍以上の流量であることが好ましく、膜の均一性並びにスループットの点から、ガス換算で例えば $100 \sim 1000$ SCCMの流量範囲に設定されることが望ましい。

【0048】この工程で形成される第2のシリコン酸化膜22は、シラノールポリマーの状態にあり、流動性がよく、高い自己平坦化特性を有する。また、第2のシリコン酸化膜22は、多くの水酸基($-\text{OH}$)を含むために吸湿性も高い状態にある。

【0049】c. 第3のシリコン酸化膜24の形成
次に、 SiH_4 、 PH_3 および N_2O の存在下において、温度 $300 \sim 450^\circ\text{C}$ で $200 \sim 600$ kHzの高周波数でプラズマCVD法によってガスを反応させることにより、膜厚 $100 \sim 600$ nmのPSG膜(第3のシリコン酸化膜)24が形成される。この第3のシリコン酸化膜24は、前記第2のシリコン酸化膜22の吸湿性が高いことを考慮して、前記第2のシリコン酸化膜22の形成に続いて連続的に形成されるか、あるいは第2のシリコン酸化膜22が水分を含まない雰囲気中で保存された後に形成されることが望ましい。

【0050】また、第3のシリコン酸化膜24は、後に行われるアニール処理によって前記第2のシリコン酸化膜22中に含まれる水、酸素などのガス化成分の脱離が容易かつ十分に行われることを考慮して、ポーラス(多孔性)であることが必要である。そのためには、第3のシリコン酸化膜24は、例えば温度が好ましくは 450°C 以下、より好ましくは $300 \sim 400^\circ\text{C}$ 、好ましくは 1 MHz以下、より好ましくは $200 \sim 600$ kHzのプラズマCVD法によって成膜され、かつリンなどの不純物を含むことが望ましい。第3のシリコン酸化膜24にこのような不純物が含まれることにより、第3のシリ

コン酸化膜24は、よりポーラスな状態となって膜に対するストレスを緩和できるだけでなく、アルカリイオン等に対するゲッタリング効果も持ち合わせることができ。このような不純物の濃度は、ゲッタリング効果などの点を考慮して設定される。例えば、不純物がリンの場合には、 $2 \sim 6$ 重量%の割合で含まれることが望ましい。

【0051】また、プラズマCVDにおいて、酸素を含む化合物として N_2O を用いることにより、第2のシリコン酸化膜22中の水素ボンドの脱離が促進される。その結果、第2のシリコン酸化膜22に含まれる水分および水素などのガス化成分をより確実に除去することができる。

【0052】この第3のシリコン酸化膜24の膜厚は、必要とされる層間絶縁膜の厚みを調整する役割と、 N_2O プラズマが水素ボンドを脱離する機能を考慮して、好ましくは 100 nm以上、より好ましくは $100 \sim 600$ nmに設定される。

【0053】d. アニール処理

次に、窒素雰囲気中で、温度 $600 \sim 850^\circ\text{C}$ でアニール処理を行う。このアニール処理によって、前記第2のシリコン酸化膜22および第3のシリコン酸化膜24は緻密化され、良好な絶縁性並びに耐水性を有する。すなわち、アニール温度を 600°C 以上に設定することにより、第2のシリコン酸化膜22でのシラノールの縮重合反応がほぼ完全に行われ、該膜中に含まれる水および水素が十分に放出されて緻密な膜を形成することができる。また、アニール温度を 850°C 以下に設定することにより、MOSトランジスタを構成するソース領域あるいはドレイン領域の拡散層にパンチスルーや接合リークなどの悪影響を与えることがなく、素子の微細化を達成することができる。

【0054】アニール処理においては、第2のシリコン酸化膜22に対する熱ひずみの影響を小さくするために、段階的にもしくは連続的にウェハの温度を上げる、ランピングアニールを行うことが望ましい。例えば、ウェハを約 400°C で保温した後、アニール温度($600 \sim 850^\circ\text{C}$)に昇温する場合、第3のシリコン酸化膜24の不純物濃度をかなり低くすることができる。例えば、不純物がリンの場合、可動性イオンのゲッタリング効果を別にして、リンの濃度が 2 重量%以下でも、第2のシリコン酸化膜22にクラックが生じないことを確認している。

【0055】e. 第4のシリコン酸化膜26の形成
次に、 TEOS と酸素とを用い、 $350 \sim 400^\circ\text{C}$ でプラズマCVD法により膜厚 $1000 \sim 1500$ nmの第4のシリコン酸化膜26を形成する。

【0056】プラズマCVD法を用いた TEOS -酸素のシリコン酸化膜は、アニールを行わない場合でも、高温アニールした前記第2のシリコン酸化膜22および第

3のシリコン酸化膜24と同程度かあるいは少し速いドライエッチング速度を有している。このことは、後述するコンタクトホール形成においてホール側面にくびれや段差を生ずることなく、良好な形状のコンタクトホールを得る要因となる。

【0057】(C)次に、図1(C)に示す工程について説明する。

【0058】(CMPによる平滑化)次いで、前記第4のシリコン酸化膜26、および必要に応じて前記第3のシリコン酸化膜24および第2のシリコン酸化膜22を、化学機械的研磨(CMP)法によって所定の膜厚を*

第2のシリコン酸化膜(アニール温度800℃) ; 250nm/分

第3のシリコン酸化膜(アニール温度800℃) ; 250nm/分

第4のシリコン酸化膜(アニールなし) ; 250nm/分

比較のためのBPSG膜(アニール温度900℃) ; 350nm/分

(D)次に、図2(A)に示す工程について説明する(コンタクトホールの形成)次いで、 CHF_3 と CF_4 とを主ガスとした反応性イオンエッチャーで第1の層間絶縁膜11を構成するシリコン酸化膜20、22、24および26を選択的に異方性エッチングすることにより、口径が0.2~0.5 μm のコンタクトホール32が形成される。

【0061】このコンタクトホール32は、上端部から底部に向かって直線的に口径が小さくなるテーパ状を成す。テーパの角度 θ は、エッチング条件などによって一概には規定できないが、たとえば、5~15度の傾斜を有する。このようなテーパ状のスルーホールが得られる理由としては、第1に、シリコン酸化膜20、22※

第2のシリコン酸化膜(アニール温度800℃) ; 525nm/分

第3のシリコン酸化膜(アニール温度800℃) ; 550nm/分

第4のシリコン酸化膜(アニールなし) ; 565nm/分

比較のためのBPSG膜(アニール温度900℃) ; 750nm/分

(E)次に、図2(B)に示す工程について説明する。

【0064】(脱ガス処理)まず、脱ガス工程を含む熱処理について説明する。

【0065】ランプチャンバで、 $1.5 \times 10^{-4} \text{Pa}$ 以下のベース圧力、150~250℃の温度で30~60秒間のランプ加熱(熱処理A)を施す。次いで、別のチャンバで $1 \times 10^{-1} \sim 1.5 \times 10^{-1} \text{Pa}$ の圧力でアルゴンガスを導入し、150~550℃の温度で、30~120秒間の熱処理(脱ガス工程;熱処理B)を行うことによって、脱ガス処理を行う。

【0066】この工程においては、まず、熱処理Aにおいて、主として、ウエハの裏面および側面を含むウエハ全体を加熱処理することにより、ウエハに付着している水分などを除去できる。

【0067】さらに、熱処理Bにおいて、主として、第1の層間絶縁膜11を構成する第2のシリコン酸化膜22中のガス化成分(H 、 H_2O)を除去することができる。その結果、次工程のバリア層およびアルミニウム膜

*研磨し、平滑化する。そして、前記第2のシリコン酸化膜22、第3のシリコン酸化膜24および第4のシリコン酸化膜26は、研磨速度がほとんど同じことから、研磨によって第3のシリコン酸化膜24あるいは第2のシリコン酸化膜22の一部が表面に露出したとしても、平坦な表面を得ることができ、したがって研磨量の管理が容易である。

【0059】例えば、本発明者らの研究によれば、各シリコン酸化膜の研磨速度は以下の様であった。

【0060】

※2、24および26は、基本的にはほぼ同じエッチング速度を有し、さらに第2のシリコン酸化膜22は第3のシリコン酸化膜24に比べてエッチング速度がわずかに小さいこと、第2に、各シリコン酸化膜の界面が極めて良好に密着していることにある。このようなテーパ状のコンタクトホール32内では、後述するように、アルミニウム膜の良好な堆積が可能である。

【0062】以下に、本願発明者らが測定した各シリコン酸化膜のドライエッチング速度を記載する。なお、ドライエッチングは、パワー:800W、気圧:20Pa、エッチャントガス; CF_4 : CHF_3 : He =1:2:9の条件で行った。

【0063】

の形成時に、第1の層間絶縁膜11からのガス化成分の発生が防止できる。

【0068】本実施の形態においては、バリア層33は、バリア機能を有するバリア膜と、導電膜とからなる多層膜によって構成される。導電膜は、バリア膜とシリコン基板に形成された不純物拡散層、つまりソース領域あるいはドレイン領域との導電性を高めるために、バリア膜と不純物拡散層との間に形成される。バリア膜としては、一般的な物質、例えばチタンナイトライドやチタニウムタンゲステンを好ましく用いることができる。また、導電膜としては、チタン、コバルト、タンゲステンなどの高融点金属を用いることができる。これらのチタン、コバルト、タンゲステンは基板を構成するシリコンと反応してシリサイドとなる。

【0069】バリア層、例えばTiN膜/Ti膜は数十原子%のガス化成分(O、H、 H_2O 、N)を固溶することから、これらの膜を形成する前に、第1の層間絶縁膜11中のガス化成分を除去することが、コンタクトホ

ール内でのアルミニウム膜の成膜を良好に行う上で、極めて有効である。バリア層の下位の第1の層間絶縁膜11中のガス化成分を十分に除去しておかないと、バリア層の形成時の温度（通常、300℃以上）で、第1の層間絶縁膜11中のガス化成分が放出され、このガスがバリア層中に取り込まれる。さらに、このガスがアルミニウム膜の成膜時にバリア層から離脱してバリア層とアルミニウム膜との界面に出てくるため、アルミニウム膜の密着性や流動性に悪影響を与える。

【0070】（バリア層の成膜）スパッタ法により、バリア層33を構成する導電膜として、チタン膜を20～70nmの膜厚で形成し、次いで、別のチャンバで、バリア膜としてTiN膜を30～150nmの膜厚で形成する。スパッタの温度は、膜厚に応じて、200～450℃の範囲で選択される。

【0071】次に、 $0.1 \times 10^2 \sim 1.5 \times 10^2$ Paの圧力で酸素プラズマ中に10～100秒間さらし、450～700℃の酸素または水素雰囲気中で10～60分間にわたってアニール処理することにより、バリア層中に酸化チタンを島状に形成することができる。この処理によりバリア層のバリア性を向上させることができることを確認している。

【0072】また、このアニール処理は、少なくとも数百ppm～数%の酸素を含むランプアニール炉における400～800℃の熱処理によっても行うことができ、同様にバリア層のバリア性を向上させることができる。

【0073】なお、図示はしないが、バリア層33の表面に、後述するアルミニウム膜に対する濡れ性を向上させる目的で、チタン、コバルト、シリコンなどで構成されるウェットング層を形成してもよい。このようなウェットング層を設けることにより、第1のアルミニウム膜の流動性を上げることができる。ウェットング層の膜厚は、通常数十nm以上あればよい。

【0074】（アルミニウム膜の成膜前の脱ガス処理およびウエハの冷却）まず、ウエハの冷却を行う前に、ランプチャンバ内において、 1.5×10^{-4} Pa以下のベース圧力、150～250℃の温度で30～60秒間の熱処理（熱処理C）を行い、基板に付着した水などの物質を除去する。その後、アルミニウム膜を成膜する前に、基板温度を100℃以下、好ましくは常温～50℃の温度に下げる。この冷却工程は、上記熱処理Cにより上昇した基板温度を下げるために重要なもので、例えば水冷機能を有するステージ上にウエハを載置して該ウエハ温度を所定温度まで下げる。

【0075】このようにウエハの冷却を行うことにより、第1のアルミニウム膜を成膜する際に、第1の層間絶縁膜11およびバリア層33、さらにウエハ全面から放出されるガス量を極力少なくすることができる。その結果、バリア層33と第1のアルミニウム膜34との界面に吸着する、カバレッジ性や密着性に有害なガスの影

響を防ぐことができる。

【0076】（アルミニウム膜の成膜）まず、200℃以下、より好ましくは30～100℃の温度で、0.2～1.0重量%の銅を含むアルミニウムを膜厚150～300nmでスパッタによって高速度で成膜し、第1のアルミニウム膜34が形成される。続いて、同一チャンバ内で基板温度420～460℃に加熱して、同様に銅を含むアルミニウムをスパッタにより低速度で成膜し、膜厚300～600nmの第2のアルミニウム膜35が形成される。ここで、アルミニウム膜の成膜において、「高速度」とは、成膜条件や製造されるデバイスの設計事項によって一概に規定できないが、およそ10nm/秒以上のスパッタ速度を意味し、「低速度」とは、およそ3nm/秒以下のスパッタ速度を意味する。

【0077】図6に、第1および第2のアルミニウム膜34、35を成膜するためのスパッタ装置の一例を示す。このスパッタ装置は、チャンバ50内に、電極をかねるターゲット51およびステージをかねる電極52を有し、電極52上には処理される基板（ウエハ）Wが設置されるように構成されている。チャンバ50には、第1のガス供給路53が接続され、電極52には、第2のガス供給路54が接続されている。ガス供給路53、54からは、いずれもアルゴンガスが供給される。そして、第2のガス供給路54から供給されるガスによって、ウエハWの温度が制御される。なお、チャンバ50内のガスを排出するための手段は図示しない。

【0078】このようなスパッタ装置を用いて基板温度をコントロールした一例を図7に示す。図7において、横軸は経過時間を示し、縦軸は基板（ウエハ）温度を示す。また、図7において、符号aで示すラインはスパッタ装置のステージ52の温度を350℃に設定したときの基板温度変化を示し、符号bで示すラインは第2のガス供給路54を通して高温のアルゴンガスをチャンバ内に供給することによってステージ52の温度を高めていったときの基板温度の変化を示している。

【0079】例えば、基板の温度制御は以下のように行われる。まず、ステージ52の温度は、予め、第2のアルミニウム膜を形成するための温度（350～500℃）に設定されている。第1のアルミニウム膜を形成する際には、第2のガス供給路54からのガスの供給はなく、基板温度はステージ52による加熱によって、図7の符号aで示すように徐々に上昇する。第2のアルミニウム膜を形成する際には、第2のガス供給路54を介して加熱されたガスが供給されることによって図7の符号bで示すように、基板温度は急激に上昇し、所定の温度で一定になるように制御される。

【0080】図7に示す例では、ステージ温度が350℃に設定され、そして、基板温度が125～150℃に設定されている間に第1のアルミニウム膜34が成膜され、その後すぐに第2のアルミニウム膜35の成膜が行

われる。

【0081】アルミニウム膜の成膜においては、成膜速度および基板温度制御とともに、スパッタ装置に印加されるパワーの制御も重要である。つまり、成膜速度とも関連するが、第1のアルミニウム膜34の成膜は高いパワーで行われ、第2のアルミニウム膜35は低いパワーで行われ、さらに高いパワーから低いパワーに切り換える際にパワーをゼロにしないことが重要である。パワーをゼロにすると、減圧下においても第1のアルミニウム膜の表面に酸化膜が形成され、第1のアルミニウム膜に対する第2のアルミニウム膜の濡れ性が低下し、両者の密着性が悪くなる。言い換えれば、パワーを常に印加することにより、成膜中のアルミニウム膜の表面に活性なアルミニウムを供給し続けることができ、酸化膜の形成を抑制できる。なお、パワーの大きさは、スパッタ装置や成膜条件などに依存し一概に規定できないが、例えば図7に示す温度条件の場合、高パワーが5〜10kW、低パワーが300W〜1kWに設定されることが望ましい。

【0082】このように、同一チャンバ内で第1のアルミニウム膜34および第2のアルミニウム膜35を連続的に成膜することにより、温度およびパワーの制御を厳密に行うことができ、従来よりも低温でかつ安定したアルミニウム膜を効率よく形成することが可能となる。

【0083】前記第1のアルミニウム膜34の膜厚は、良好なステップカバレッジで連続層を形成することができること、並びに該アルミニウム膜34より下層のバリア層33および第1の層間絶縁膜11からのガス化成分の放出を抑制できることなどを考慮して、適正な範囲が選択されるが、例えば200〜400nmが望ましい。また、第2のアルミニウム膜35は、コンタクトホール

の大きさ並びにそのアスペクト比などによって決定されるが、例えばアスペクト比が3程度で0.5μm以下のホールを埋めるためには、300〜1000nmの膜厚が必要である。

【0084】(反射防止膜の成膜)さらに、別のスパッタチャンバで、スパッタによりTiNを堆積することにより、膜厚30〜80nmの反射防止膜36が形成される。その後、Cl₂とBCl₃のガスを主体とする異方性ドライエッチャーで前記バリア層33、第1のアルミニウム膜34、第2のアルミニウム膜35および反射防止膜36からなる堆積層を選択的にエッチングして、第1の金属配線層30のパターニングを行う。

【0085】このようにして形成された金属配線層30では、アスペクト比が0.5〜3で、口径が0.2〜0.8μmのコンタクトホール内において、ボイドを発生させることなく良好なステップカバレッジでアルミニウムが埋め込まれることが確認された。

【0086】(F)次に、図3(A)に示す工程について説明する。

【0087】(第2の層間絶縁膜12の形成)第2の層間絶縁膜12は、基本的には前記第1の層間絶縁膜11と同様の構成を有する。すなわち、第2の層間絶縁膜12は、4層のシリコン酸化膜、つまり、下から順に、第1のシリコン酸化膜70、第2のシリコン酸化膜72、第3のシリコン酸化膜74および第4のシリコン酸化膜76から構成されている。そして、これらのシリコン酸化膜70、72、74および76は、アニール処理以外は、前記シリコン酸化膜20、22、24および26と同様な方法で成膜される。以下に主要な部分を説明するが、共通する事項については記載を省略する。

【0088】a. 第1のシリコン酸化膜70の形成
まず、テトラエトキシラン(TEOS)と酸素とを300〜500℃でプラズマ化学気相成長(CVD)法で反応させることにより、膜厚50〜200nmの第1のシリコン酸化膜70が形成される。

【0089】b. 第2のシリコン酸化膜72の形成
次に、好ましくは 2.5×10^{-2} Pa以下、より好ましくは 0.3×10^{-2} 〜 2.0×10^{-2} Paの減圧下において、窒素ガスをキャリアとして、SiH₄およびH₂O₂を0〜10℃の温度でCVD法により反応させることにより、第2のシリコン酸化膜72を形成する。第2のシリコン酸化膜72は、前記第2のシリコン酸化膜22と同様に、少なくとも、下層の第1のシリコン酸化膜70の段差より大きい膜厚を有し、つまり該段差を十分にカバーする膜厚で成膜される。また、第2のシリコン酸化膜72の膜厚の上限は、該膜中にクラックが生じない程度に設定される。具体的には、第2のシリコン酸化膜72の膜厚は、より良好な平坦性を得るために、下層の段差より厚いことが望ましく、好ましくは500〜1000nmに設定される。

【0090】第2のシリコン酸化膜72の成膜温度は、好ましくは0〜20℃、より好ましくは0〜10℃に設定される。

【0091】この工程で形成される第2のシリコン酸化膜72は、高い流動性を有し、平坦化特性に優れる。

【0092】c. 第3のシリコン酸化膜74の形成
次に、SiH₄、PH₃およびN₂Oの存在下において、温度300〜450℃で200〜600kHzの高周波数でプラズマCVD法によって反応させることにより、膜厚100〜600nmのPSG膜(第3のシリコン酸化膜)74が形成される。

【0093】また、第3のシリコン酸化膜74は、前記第3のシリコン酸化膜24と同様に、後に行われるアニール処理によって前記第2のシリコン酸化膜72中に含まれる水などのガス化成分の脱離が容易かつ十分に行われることを考慮して、ポーラス(多孔性)であることが必要である。そのためには、第3のシリコン酸化膜74は、例えば温度が好ましくは450℃以下、より好ましくは300〜400℃、好ましくは1MHz以下、より

好ましくは200～600kHzの高周波プラズマCVD法によって成膜され、リンなどの不純物が含まれることが望ましい。第3のシリコン酸化膜74にこのような不純物が含まれることにより、第3のシリコン酸化膜74は、よりポーラスな状態となって膜に対するストレスを緩和できる。このような不純物の濃度は、耐ストレス性、ゲッターリング効果などの点を考慮して設定される。例えば、不純物がリンの場合には、1～6重量%の割合で含まれることが望ましい。

【0094】また、プラズマCVDにおいて、酸素を含む化合物として N_2O を用いることにより、第2のシリコン酸化膜72中の水素ボンドの脱離が促進される。その結果、第2のシリコン酸化膜72に含まれる水分などのガス化成分をより確実に除去することができる。

【0095】この第3のシリコン酸化膜74の膜厚は、好ましくは100nm以上、より好ましくは200～600nmに設定される。

【0096】d. アニール処理

次に、温度350～500℃でアニール処理を行う。このアニール処理によって、前記第2のシリコン酸化膜72および第3のシリコン酸化膜74は緻密化され、良好な絶縁性並びに耐水性を有する。すなわち、アニール温度を350℃以上に設定することにより、第2のシリコン酸化膜72でのシラノールの縮重合反応がほぼ完全に行われ、該膜中に含まれる水分が十分に放出されて緻密な膜を形成することができる。また、アニール温度を500℃以下に設定することにより、第1の配線層40を構成するアルミニウム膜に悪影響を与えることがない。

【0097】e. 第4のシリコン酸化膜76の形成
次に、TEOSと酸素とを用い、350～400℃でプラズマCVD法により膜厚1000～1500nmの第4のシリコン酸化膜76を形成する。

【0098】(G) 次に、図3(B)に示す工程について説明する。

【0099】(CMPによる平滑化) 前記第4のシリコン酸化膜76、および必要に応じて前記第3のシリコン酸化膜74および第2のシリコン酸化膜72を、CMP法によって所定の膜厚で研磨し、平滑化する。この平滑化処理により、研磨によって第3のシリコン酸化膜74あるいは第2のシリコン酸化膜72の一部が表面に露出したとしても、平坦な表面を得ることができ、したがって研磨量の管理が容易である。

【0100】(H) 次に、図4(A)に示す工程について説明する。

【0101】(ビアホール形成) CHF_3 と CF_4 とを主ガスとした反応性イオンエッチャーで第2の層間絶縁膜12および反射防止膜36を選択的に異方性エッチングすることにより、口径が0.3～0.5μmのビアホール62が形成される。

【0102】このビアホール62は、前記コンタクトホ

ール32と同様に、上端部から底部に向かって徐々に口径が小さくなるテーパ状を成す。テーパの角度θは、エッチング条件などによって一概には規定できないが、たとえば、5～15度の傾斜を有する。

【0103】(I) 次に、図4(B)に示す工程について説明する。

【0104】(脱ガス処理) まず、脱ガス工程を含む熱処理について説明する。

【0105】ランプチャンバで、 1.5×10^{-4} Pa以下のベース圧力、150～250℃の温度で30～60秒間のランプ加熱(熱処理D)を施す。次いで、別のチャンバで $1 \times 10^{-1} \sim 15 \times 10^{-1}$ Paの圧力でアルゴンガスを導入し、300～500℃の温度で、30～120秒間の熱処理(脱ガス工程; 熱処理E)を行うことによって、脱ガス処理を行う。

【0106】この工程においては、まず、熱処理Dにおいて、主として、ウエハの裏面および側面を含むウエハ全体を加熱処理することにより、ウエハに付着している水分などを除去できる。

【0107】さらに、熱処理Eにおいて、主として、第2の層間絶縁膜12中のガス化成分(H, H_2O)を除去することができる。その結果、次工程のウェットング層およびアルミニウム膜の形成時に、第2の層間絶縁膜12からのガス化成分の発生が防止できる。

【0108】本実施の形態においては、ウェットング層、例えばTi膜は数十原子%のガス化成分(O, H, H_2O , N)を固溶することから、この膜を形成する前に、第2の層間絶縁膜12中のガス化成分を除去することが、ビアホール内でのアルミニウム膜の成膜を良好に行う上で、極めて有効である。ウェットング層の下位の第2の層間絶縁膜12中のガス化成分を十分に除去しておかないと、ウェットング層の形成時に、第2の層間絶縁膜12中のガス化成分が放出され、このガスがウェットング層中に取り込まれる。さらに、このガスがアルミニウム膜の成膜時にウェットング層から離脱してウェットング層とアルミニウム膜との界面に出てくるため、アルミニウム膜の密着性や流動性に悪影響を与える。

【0109】(ウェットング層の成膜) スパッタ法により、ウェットング層63を構成する膜として、チタン膜を20～70nmの膜厚で形成する。スパッタの温度は、好ましくは100℃以下、より好ましくは25℃以下である。

【0110】(アルミニウム膜の成膜前のウエハの冷却) アルミニウム膜を成膜する前に、基板温度を100℃以下、好ましくは常温～50℃の温度に下げる。この冷却工程は、ウェットング層63のスパッタにより上昇した基板温度を下げるために重要なもので、例えば水冷機能を有するステージ上にウエハを載置して該ウエハ温度を所定温度まで下げる。

【0111】このようにウエハの冷却を行うことによ

り、第1のアルミニウム膜を成膜する際に、第2の層間絶縁膜12およびウェット層63、さらにウェハ全面から放出されるガス量を極力少なくすることができる。その結果、ウェット層63と第1のアルミニウム膜64との界面に吸着する、カバレッジ性や密着性に有害なガスの影響を防ぐことができる。

【0112】(アルミニウム膜の成膜) まず、200℃以下、より好ましくは30～100℃の温度で、0.2～1.0重量%の銅を含むアルミニウムを膜厚150～300nmでスパッタによって高速度で成膜し、第1のアルミニウム膜64が形成される。続いて、同一チャンバ内で基板温度420～460℃に加熱して、同様に銅を含むアルミニウムをスパッタにより低速度で成膜し、膜厚300～600nmの第2のアルミニウム膜65が形成される。

【0113】スパッタ装置としては、図6に示す装置と同様のものを使用することができる。前記スパッタ装置の構成、ウェハの温度制御およびスパッタ時のパワーについては、第1の金属配線層30の場合と同様なので、詳細な説明を省略する。

【0114】同一チャンバ内で第1のアルミニウム膜64および第2のアルミニウム膜65を連続的に成膜することにより、温度およびパワーの制御を厳密に行うことができ、従来よりも低温でかつ安定したアルミニウム膜を効率よく形成することが可能となる。

【0115】前記第1のアルミニウム膜64の膜厚は、良好なステップカバレッジで連続層を形成することができること、並びに該アルミニウム膜64より下層のウェット層63および第2の層間絶縁膜12からのガス化成分の放出を抑制できることなどを考慮して、適正な範囲が選択されるが、例えば100～300nmが望ましい。また、第2のアルミニウム膜65は、ビアホール62の大きさ並びにそのアスペクト比などによって決定されるが、例えばアスペクト比が3程度で0.5μm以下のホールを埋めるためには、300～800nmの膜厚が必要である。

【0116】(反射防止膜の成膜) さらに、別のスパッタチャンバで、スパッタによりTiNを堆積することにより、膜厚30～80nmの反射防止膜66が形成される。その後、Cl₂とBCl₃のガスを主体とする異方性ドライエッチャーで前記ウェット層63、第1のアルミニウム膜64、第2のアルミニウム膜65および反射防止膜66からなる堆積層を選択的にエッチングして、第2の金属配線層60のパターニングを行う。

【0117】このようにして形成された金属配線層60では、アスペクト比が0.5～3で、口径が0.2～0.8μmのビアホール内において、ポイドを発生させることなく良好なステップカバレッジでアルミニウムが埋め込まれることが確認された。

【0118】以後、必要に応じて、第2の配線領域L2

と同様にして第3、第4…の多層配線領域を形成することができる。

【0119】(J) 次に、図5に示す工程について説明する。

【0120】(保護絶縁膜PLの形成) 保護絶縁膜PLは、3層のシリコン酸化膜、つまり、下から順に、第1のシリコン酸化膜80、第2のシリコン酸化膜82および第3のシリコン酸化膜84と、シリコン窒化膜86とから構成されている。そして、これらのシリコン酸化膜80、82および84は、アニール処理以外は、前記シリコン酸化膜20、22および24と同様な方法で成膜される。以下に主要な部分を説明するが、共通する事項については記載を省略する。また、第3のシリコン酸化膜84は、リンを含まないシリコン酸化膜でもよい。

【0121】a. 第1のシリコン酸化膜80の形成
まず、テトラエトキシラン(TEOS)と酸素とを300～500℃でプラズマ化学気相成長(CVD)法で反応させることにより、膜厚50～500nmの第1のシリコン酸化膜80が形成される。

【0122】b. 第2のシリコン酸化膜82の形成
次に、好ましくは 2.5×10^2 Pa以下、より好ましくは $0.3 \times 10^2 \sim 2.0 \times 10^2$ Paの減圧下において、窒素ガスをキャリアとして、SiH₄およびH₂O₂を0～10℃の温度でCVD法により反応させることにより、第2のシリコン酸化膜82を形成する。第2のシリコン酸化膜82は、前記第2のシリコン酸化膜22と同様に、少なくとも、下層の第1のシリコン酸化膜80の段差より大きい膜厚を有し、つまり該段差を十分にカバーする膜厚で成膜される。また、第2のシリコン酸化膜82の膜厚の上限は、該膜中にクラックが生じない程度に設定される。具体的には、第2のシリコン酸化膜82の膜厚は、より良好な平坦性を得るために、下層の段差より厚いことが望ましく、好ましくは500～1000nmに設定される。

【0123】第2のシリコン酸化膜82の成膜温度は、好ましくは0～20℃、より好ましくは0～10℃に設定される。

【0124】この工程で形成される第2のシリコン酸化膜82は、高い流動性を有し、平坦化特性に優れる。

【0125】c. 第3のシリコン酸化膜84の形成
次に、SiH₄、N₂Oの存在下において、温度300～450℃で200～600kHzの高周波数でプラズマCVD法によって反応させることにより、第3のシリコン酸化膜84が形成される。

【0126】また、第3のシリコン酸化膜84は、前記第3のシリコン酸化膜24と同様に、後に行われるアニール処理によって前記第2のシリコン酸化膜82中に含まれる水などのガス化成分の脱離が容易かつ十分に行われることを考慮して、ポーラス(多孔性)であることが必要である。そのためには、第3のシリコン酸化膜84

は、例えば温度が好ましくは450℃以下、より好ましくは300～400℃、好ましくは1MHz以下、より好ましくは200～600kHzの高周波プラズマCVD法によって成膜され、PH₃ガス等の導入によりリンなどの不純物が含まれるPSG膜であることが望ましい。第3のシリコン酸化膜84にこのような不純物が含まれることにより、第3のシリコン酸化膜84は、よりポーラスな状態となって膜に対するストレスを緩和できる。このような不純物の濃度は、耐ストレス性、ゲッタリング効果などの点を考慮して設定される。例えば、不純物がリンの場合には、1～6重量%の割合で含まれることが望ましい。

【0127】また、プラズマCVDにおいて、酸素を含む化合物としてN₂Oを用いることにより、第2のシリコン酸化膜82中の水素ボンドの脱離が促進される。その結果、第2のシリコン酸化膜82に含まれる水分などのガス化成分をより確実に除去することができる。

【0128】この第3のシリコン酸化膜84の膜厚は、好ましくは100nm以上、より好ましくは200～600nmに設定される。

【0129】d. アニール処理

次に、温度350～500℃でアニール処理を行う。このアニール処理によって、前記第2のシリコン酸化膜82および第3のシリコン酸化膜84は緻密化され、良好な絶縁性並びに耐水性を有する。すなわち、アニール温度を350℃以上に設定することにより、第2のシリコン酸化膜82でのシラノールの縮重合反応がほぼ完全に行われ、該膜中に含まれる水分が十分に放出されて緻密な膜を形成することができる。また、アニール温度を500℃以下に設定することにより、第2の配線層60を構成するアルミニウム膜に悪影響を与えることがない。

【0130】e. シリコン窒化膜86の形成

次に、窒素ガスをキャリアとして、SiH₄およびNH₃を、温度300～450℃でプラズマCVD法により反応させることにより、最上層のシリコン窒化膜86を形成する。このシリコン窒化膜86は、十分なパッシベーション機能を考慮して、例えば300～1500nmの膜厚を有する。

【0131】その後、図示しないフォトリソistをマスクに、前記保護絶縁膜PLをドライエッチングあるいはウェットエッチングで選択的にエッチングし、外部電極取り出し用のボンディングパッド部を構成するためのホールを形成する。また、必要に応じて、半導体デバイスの樹脂モールド時におけるストレスを緩和するために、さらにポリイミド樹脂等の膜を積層してもよい。

【0132】本実施の形態においては、第1のシリコン酸化膜80および第2のシリコン酸化膜82によって高度に平坦化が達成されるため、パッシベーション機能を有するシリコン窒化膜86は付き回りがよく平坦に成膜され、局所的に膜厚が薄い部分や欠陥を生ずることがな

く、耐湿性や耐汚染性に優れた保護絶縁膜PLを構成することができる。さらに、前記保護絶縁膜PLでは、第2の金属配線層60において、隣接する金属配線層60aおよび60bの相互間に、窒化シリコンより誘電率の小さい酸化シリコンの膜が存在するため、シリコン基板11の表面と平行な方向（水平方向）における容量の寄与が小さくできる。そのため、誘電率の高いシリコン窒化膜が金属配線層の相互間に存在する構造に比べて、素子の動作速度等の電気特性を向上させることができる。

【0133】また、シリコン化合物と過酸化水素との縮重合反応によって形成される第2のシリコン酸化膜82と、プラズマCVDによって形成される第1および3のシリコン酸化膜80および84は、前述したように、エッチング速度が同程度であるなど、ほぼ同じエッチング特性を有するので、ドライエッチングはもちろんのこと、例えばHFとNH₄Fなどの混酸による簡易なウェットエッチングを適用することができる。

【0134】なお、第2のシリコン酸化膜82に相当する膜として、たとえばSOG膜を用いた場合には、SOG膜のエッチング速度が大きいためにサイドエッチングが進み、このSOG膜より上の膜にチップングやクラックが発生しやすい問題がある。

【0135】本実施の形態において、第1および第2の層間絶縁膜I1、I2ならびに保護絶縁膜PLが優れた平坦性を有する理由としては、以下のことが考えられる。

【0136】すなわち、図1(B)、図3(A)および図5に示す工程で形成される第2のシリコン酸化膜22、72および82は、シリコン化合物と過酸化水素との反応によって形成される、シラノールを含む反応生成物が高い流動性を有するため、ウエハ表面の凹凸がこれらの膜を形成した時点で高度に平坦化される。

【0137】また、本実施の形態において、コンタクトホール32およびビアホール62に、第1および第2のアルミニウム膜34、35ならびに第1および第2のアルミニウム膜64、65がそれぞれ良好に埋め込まれた理由としては、以下のことが考えられる。

【0138】(a) 脱ガス工程を行うことにより、各層間絶縁膜I1、I2に含まれる水や窒素をガス化して十分に放出することにより、その後の第1のアルミニウム膜34、64および第2のアルミニウム35、65の成膜において、層間絶縁膜I1、I2やバリア層33あるいはウェット層63からのガスの発生を防止することで、バリア層33と第1のアルミニウム膜34、ならびにウェット層63と第1のアルミニウム膜64との密着性を高め、良好なステップカバレッジの成膜が可能であったこと。

【0139】(b) 第1のアルミニウム膜34、64の成膜において、基板温度を200℃以下の比較的低温に設定することにより、層間絶縁膜I1、I2およびバ

ア層33ならびにウェット層63に含まれる水分や窒素を放出させないようにして、前記脱ガス工程の効果に加えて第1のアルミニウム膜34、64の密着性を高めたこと。

【0140】(c)さらに、第1のアルミニウム膜34、64自体が、基板温度が上がった場合に下層からのガスの発生を抑制する役割を果たすため、次の第2のアルミニウム膜35、65の成膜を比較的高い温度で行うことができ、第2のアルミニウム膜の流動拡散を良好に行うことができること。

【0141】(半導体装置)以上の方法によって、本実施の形態に係る半導体装置(図5参照)を形成することができる。この半導体装置は、少なくともMOS素子を含むシリコン基板11、および前記シリコン基板11の上に形成された第1の配線領域11を有する。前記第1の配線領域11は、ベース層となる第1のシリコン酸化膜20、シリコン化合物と過酸化水素との重縮合反応によって形成された第2のシリコン酸化膜22、前記第2のシリコン酸化膜22の上に形成され、リンなどの不純物を含有する第3のシリコン酸化膜24、および前記第3のシリコン酸化膜24の上に形成され、CMPにより平坦化された第4のシリコン酸化膜26からなる第1の層間絶縁膜I1、前記層間絶縁膜I1に形成されたコンタクトホール32、前記層間絶縁膜I1および前記コンタクトホール32の表面に形成されたバリア層33、および前記バリア層33の上に形成された、アルミニウムあるいはアルミニウムを主成分とする合金からなるアルミニウム膜34、35、を有する。そして、前記アルミニウム膜34は、バリア層33を介してチタンシリサイド層19に接続されている。

【0142】前記第1の配線領域11上に形成された第2の配線領域12は、ベース層となる第1のシリコン酸化膜70、シリコン化合物と過酸化水素との重縮合反応によって形成された第2のシリコン酸化膜72、前記第2のシリコン酸化膜72の上に形成され、リンなどの不純物を含有する第3のシリコン酸化膜74、および前記第3のシリコン酸化膜74の上に形成され、CMPにより平坦化された第4のシリコン酸化膜76からなる第2の層間絶縁膜I2、前記層間絶縁膜I2に形成されたビアホール62、前記層間絶縁膜I2および前記ビアホール62の表面に形成されたウェット層63、および前記ウェット層63の上に形成された、アルミニウムあるいはアルミニウムを主成分とする合金からなるアルミニウム膜64、65、を有する。

【0143】前記第2の配線領域12上に形成された保護絶縁膜PLは、ベース層となる第1のシリコン酸化膜80、シリコン化合物と過酸化水素との重縮合反応によって形成された第2のシリコン酸化膜82、この第2のシリコン酸化膜82の上に形成され、リン等の不純物を含有する第3のシリコン酸化膜84、およびこの第3の

シリコン酸化膜84の上に形成されたシリコン窒化膜86を有する。

【0144】以上のように、本実施の形態によれば、シリコン化合物と過酸化水素との気相反応によって得られる、シラノールの重縮物を含むシリコン酸化膜を形成することにより、極めて良好な平坦性を有する層間絶縁膜I1、I2および保護絶縁膜PLを形成することができる。

【0145】そして、第1の層間絶縁膜I1は、従来のBPSG膜に比べてかなり低温で成膜することができるため、パンチスルーや接合リークなどの点で特性を改善することができ、したがって、素子の微細化および信頼性の高いコンタクト構造を達成することができ、また製造プロセス上も有利である。

【0146】また、層間絶縁膜I1、I2が高度な平坦性を有することから、配線層の加工などを含めたプロセスマージンを増加させ、品質および歩留まりを向上させることができる。

【0147】さらに、保護絶縁膜PLでは、平坦性の優れた第2のシリコン酸化膜82を有することから、均一の膜厚で欠陥が少なく、高いパッシベーション機能を有するシリコン窒化膜86を形成することができるだけでなく、同一層の金属配線層の相互間の容量の低減により電気的特性の向上を達成できる。

【0148】また、本実施の形態においては、アルミニウム膜のスパッタ前に少なくとも脱ガス工程と冷却工程を含み、さらに好ましくは同一チャンバ内で連続的にアルミニウム膜を成膜することにより、0.2μm程度までのコンタクトホールおよびビアホールをアルミニウムあるいはアルミニウム合金だけで埋め込むことが可能となり、信頼性および歩留まりの面で向上がはかれた。また、コンタクト部を構成するアルミニウム膜における銅等の偏析や結晶粒の異常成長もなく、マイグレーション等を含めた信頼性の点でも良好であることが確認された。

【0149】(他の実施の形態)本発明は上記実施の形態に限定されず、その一部を以下の手段で置き換えることができる。

【0150】(a)前記実施の形態においては、第3のシリコン酸化膜24、74および84のプラズマCVDによる成膜時に、酸素を含む化合物として一酸化二窒素を用いたが、その代わりにオゾンを用いることもできる。そして、第3のシリコン酸化膜24、74、84を形成する前に、ウェハをオゾン雰囲気中にさらすことが望ましい。

【0151】例えば、図8に示すベルト炉を用い、ヒーター82によって400〜500℃に加熱された搬送ベルト80上にウェハWを載置して所定の速度で移動させる。このとき、第1のガスヘッド86aからオゾンを供給し、2〜8重量%のオゾン雰囲気中を前記ウェハWを

5分以上の時間をかけて通過させる。次いで、第2および第3のガスヘッド86b、86cからオゾン、TEOSおよびTMP（ $P(OCH_3)_3$ ）をほぼ常圧で供給し、リンの濃度が3〜6重量%のPSG膜（第3のシリコン酸化膜）24、74、84を、膜厚100〜600nmで成膜する。なお、図8において符号84は、カバーを示す。

【0152】このように一酸化二窒素の代わりにオゾンを用いることにより、常圧CVDによってTEOSによるシリコン酸化膜を形成することができる。また、ベルト炉を用いることにより、成膜を連続的に効率よく行うことができる。

【0153】また、オゾン雰囲気中にウェハWをさらすことにより、熱脱離スペクトル（TDS）および赤外分光法（FTIR）によって、第2のシリコン酸化膜22、72、82は吸湿性や水分が十分少ないこと、反応ガスとして一酸化二窒素を用いた場合と同様に層間絶縁膜11、12の平坦性が良好であること、MOSトランジスタの特性が良好であること、および第2のシリコン酸化膜22、72、82にクラックが発生しないことが確認された。

【0154】（b）前記実施の形態では、第1のシリコン酸化膜20として、プラズマCVDによるTEOSを用いたシリコン酸化膜を用いたが、これに代わり他のシリコン酸化膜を用いてもよい。例えば、このような第1のシリコン酸化膜として、モノシランと一酸化二窒素を用いた減圧熱CVD法によって形成した膜でもよい。このシリコン酸化膜は、下層のシリコン基板の表面形状に忠実に成膜され、カバレッジ性がよいだけでなく、緻密であるのでパッシベーション機能が高く、さらにアニール処理において急激に昇温しても第2のシリコン酸化膜22にクラックが発生しにくい。また、熱CVD法を用いるため、プラズマダメージがない利点がある。

【0155】ただし、この方法で成膜する際には、ウェハ温度を750〜800℃程度に設定する必要があるため、サリサイド構造としてチタンシリサイドのように酸化されやすい膜上には使用できず、タングステンシリサイドあるいはモリブデンシリサイドを使用する必要がある。

【0156】（c）前記実施の形態では、第1の層間絶縁膜11は、4層のシリコン酸化膜から構成されているが、これに限らず他のシリコン酸化膜を加えてもよい。例えば、第1のシリコン酸化膜20と第2のシリコン酸化膜22との間に、プラズマCVD法により形成された、膜厚100〜300nmのPSG膜（リンの濃度；1〜6重量%）を形成してもよい。このPSG膜を入れることにより、可動イオンのゲッタリング機能がさらに向上して、トランジスタのしきい値特性および静止電流の変動が減少することが確認された。

【0157】（d）前記実施の形態では、保護絶縁膜P

Lは、第3のシリコン酸化膜84を含むが、このシリコン酸化膜84を除く構成であってもよい。

【0158】なお、上記実施の形態では、2層の配線領域を含む半導体装置について述べたが、本発明はもちろん3層以上の配線領域を含む半導体装置にも適用でき、また、Nチャネル型MOS素子を含む半導体装置のみならず、Pチャネル型あるいはCMOS型素子などの各種の素子を含む半導体装置に適用することができる。さらに、上記実施の形態では、層間絶縁膜11、12の第4のシリコン酸化膜26、76をCMPによって平坦化したが、第2のシリコン酸化膜22、72が優れた平坦性を有するので、この工程は必ずしも設けなくともよい。

【0159】

【図面の簡単な説明】

【図1】（A）、（B）および（C）は、本発明の半導体装置の製造方法の一例を工程順に模式的に示す断面図である。

【図2】（A）および（B）は、図1に示す工程に続いて行われる半導体装置の製造方法の一例を工程順に模式的に示す断面図である。

【図3】（A）および（B）は、図2に示す工程に続いて行われる半導体装置の製造方法の一例を工程順に模式的に示す断面図である。

【図4】（A）および（B）は、図3に示す工程に続いて行われる半導体装置の製造方法の一例を工程順に模式的に示す断面図である。

【図5】図4に示す工程について行われる半導体装置の製造方法に一例を模式的に示す断面図である。

【図6】本発明に係る実施の形態に用いられるスパッタ装置の一例を模式的に示す図である。

【図7】図5に示すスパッタ装置を用いて基板温度を制御したときの、時間と基板温度との関係を示す図である。

【図8】半導体装置の製造に用いられるベルト炉を模式的に示す図である。

【符号の説明】

- 11 シリコン基板
- 12 フィールド絶縁膜
- 13 ゲート酸化膜
- 14 ゲート電極
- 15 低濃度不純物層
- 16 高濃度不純物層
- 17 側壁スペーサ
- 18 シリコン酸化膜
- 19 チタンシリサイド層
- 20 第1のシリコン酸化膜
- 22 第2のシリコン酸化膜
- 24 第3のシリコン酸化膜
- 26 第4のシリコン酸化膜
- 32 コンタクトホール

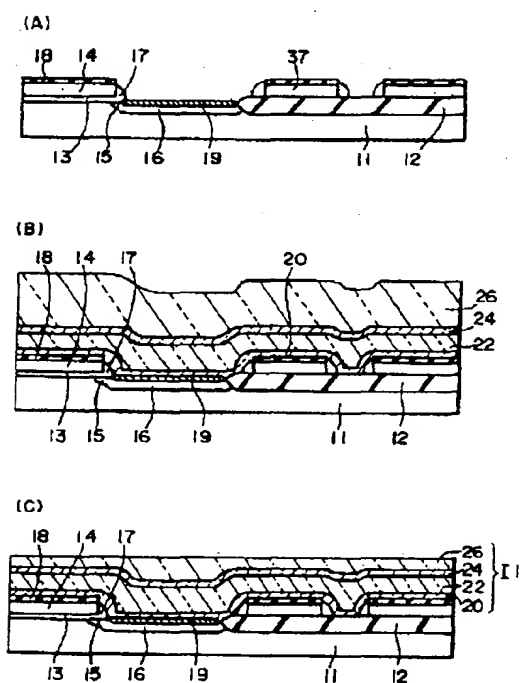
(15)

特開平11-145134

27

- 33 バリア層
- 34 第1のアルミニウム膜
- 35 第2のアルミニウム膜
- 62 ビアホール
- 63 ウェットテング層
- 64 第1のアルミニウム膜
- 65 第2のアルミニウム膜
- 70 第1のシリコン酸化膜
- 72 第2のシリコン酸化膜

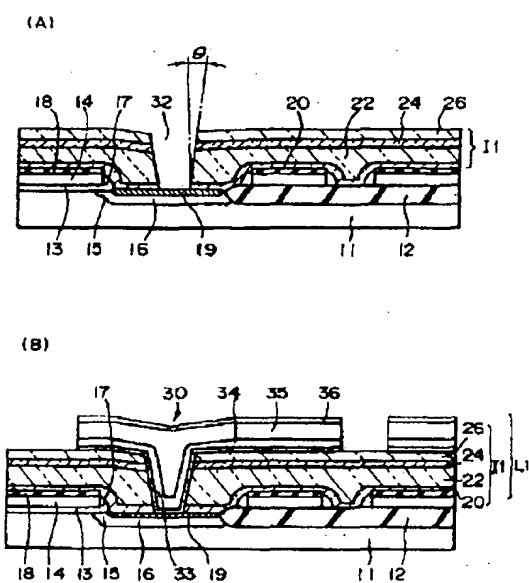
【図1】



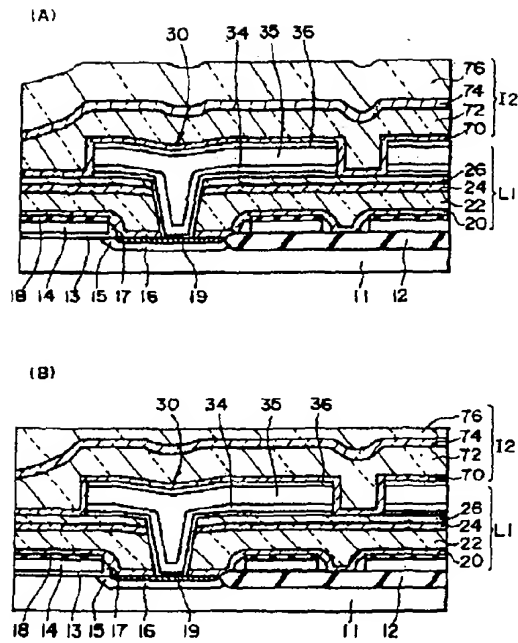
28

- 74 第3のシリコン酸化膜
- 76 第4のシリコン酸化膜
- 80 第1のシリコン酸化膜
- 82 第2のシリコン酸化膜
- 84 第3のシリコン酸化膜
- 86 シリコン窒化膜
- 11, 12 層間絶縁膜
- PL 保護絶縁膜
- L1, L2 配線領域

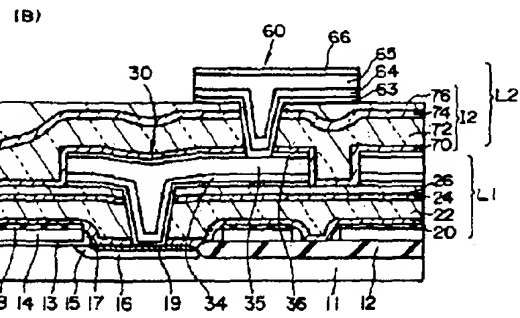
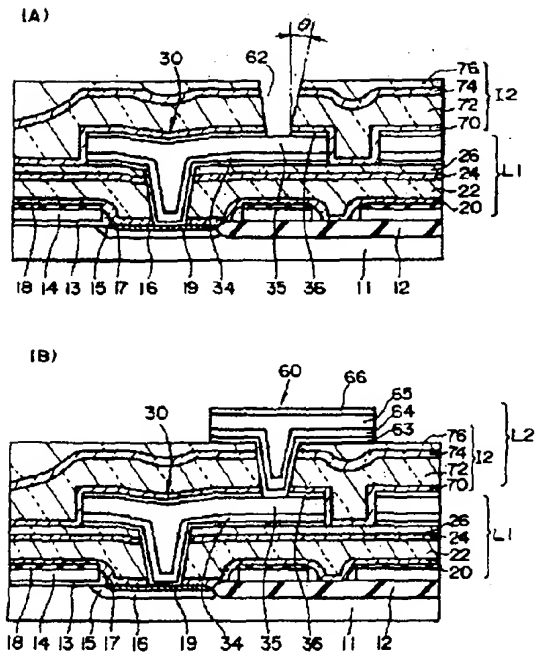
【図2】



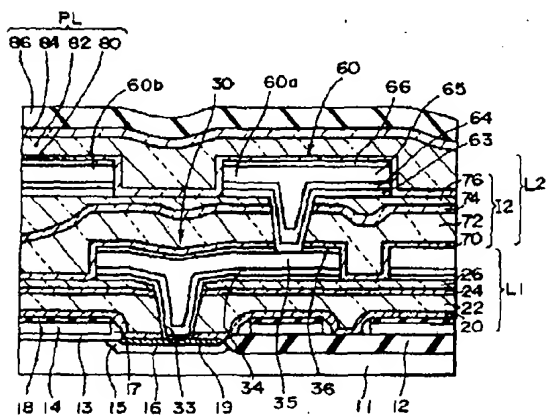
【図 3】



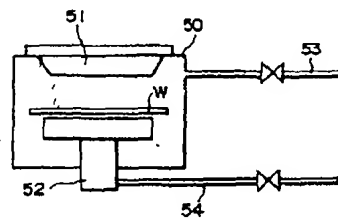
【図 4】



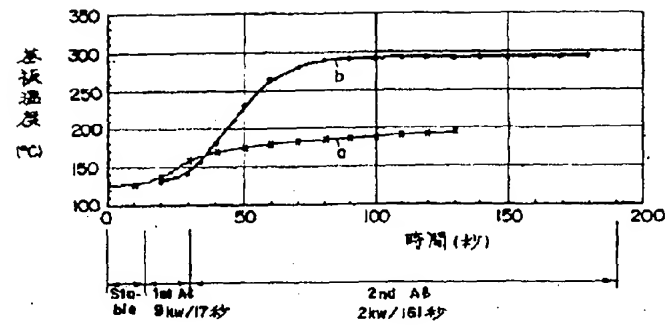
【図 5】



【図 6】



【図7】



【図8】

